

#2 131-0  
158 2812  
Docket No. 0819-0418

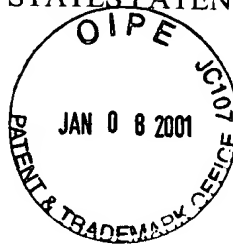
IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of  
Katzuichiro ITONAGA et al.

Serial No. 09/662,004 -

Filed: September 14, 2000 -

For: METHOD OF FORMING INSULATED )  
FILM AND METHOD OF FABRICATING )  
SEMICONDUCTOR DEVICE - )



Art Unit: 2812

Examiner: Unassigned

CERTIFICATE OF MAILING

I hereby certify that this correspondence is being deposited with  
The United States Postal Service with sufficient postage as First  
Class Mail in an envelope addressed to: Assistant Commissioner  
for Patents, Washington, D.C. 20231, on

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Honorable Assistant Commissioner for Patents

Washington, D.C. 20231

Sir:

At the time of filing the above-referenced application, a right of priority under 35 USC § 119 was claimed in view of Application No. 11-261876, filed September 16, 1999 in Japan.

Submitted herewith is the certified copy of the priority document to perfect the claim for priority. Acknowledgment is respectfully requested.

Respectfully submitted,

  
Eric J. Robinson

Reg. No. 38,285

Nixon Peabody LLP  
8180 Greensboro Drive, Suite 800  
McLean, Virginia 22102  
(703) 790-9110

RECEIVED  
JAN 11 2001  
TECHNOLOGY CENTER 2800

09/662,004



本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application:

1999年 9月16日

出 願 番 号  
Application Number:

平成11年特許願第261876号

出 願 人  
Applicant (s):

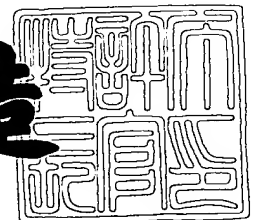
松下電子工業株式会社

RECEIVED  
JAN 11 2001  
TECHNOLOGY CENTER 2800

2000年 9月 8日

特 許 庁 長 官  
Commissioner,  
Patent Office

及 川 耕 造



出証番号 出証特2000-3073063

【書類名】	特許願	
【整理番号】	2926400298	
【提出日】	平成11年 9月16日	
【あて先】	特許庁長官 殿	
【国際特許分類】	H01L 21/316	
【発明者】		
【住所又は居所】	大阪府高槻市幸町 1 番 1 号	松下電子工業株式会社内
【氏名】	糸長 総一郎	
【発明者】		
【住所又は居所】	大阪府高槻市幸町 1 番 1 号	松下電子工業株式会社内
【氏名】	宮永 績	
【発明者】		
【住所又は居所】	大阪府高槻市幸町 1 番 1 号	松下電子工業株式会社内
【氏名】	中岡 弘明	
【発明者】		
【住所又は居所】	大阪府高槻市幸町 1 番 1 号	松下電子工業株式会社内
【氏名】	山本 明広	
【発明者】		
【住所又は居所】	大阪府高槻市幸町 1 番 1 号	松下電子工業株式会社内
【氏名】	原田 佳尚	
【特許出願人】		
【識別番号】	000005843	
【氏名又は名称】	松下電子工業株式会社	
【代理人】		
【識別番号】	100077931	
【弁理士】		
【氏名又は名称】	前田 弘	
【選任した代理人】		
【識別番号】	100094134	

【弁理士】

【氏名又は名称】 小山 廣毅

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9601027

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 絶縁膜の形成方法および半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 半導体層を有する基板を処理室内に設置するステップ (a) と、

上記処理室を酸素を含む雰囲気中に維持した状態で、処理室内に上記基板方向へのバイアスが付加されたプラズマを発生させて、上記半導体層にバイアスが付加されたプラズマを照射するステップ (b) とを含み、

上記基板の露出している半導体層の上に、少なくとも酸素と半導体との反応による絶縁膜を形成することを特徴とする絶縁膜の形成方法。

【請求項 2】 請求項 1 記載の絶縁膜の形成方法において、

上記ステップ (b) では、上記バイアスの大きさを調整することにより、上記絶縁膜の厚みを制御することを特徴とする絶縁膜の形成方法。

【請求項 3】 請求項 1 又は 2 記載の絶縁膜の形成方法において、

上記ステップ (b) を、300℃以下の温度で行なうことを特徴とする絶縁膜の形成方法。

【請求項 4】 請求項 3 記載の絶縁膜の形成方法において、

上記ステップ (b) を、200℃以下の温度で行なうことを特徴とする絶縁膜の形成方法。

【請求項 5】 請求項 4 記載の絶縁膜の形成方法において、

上記ステップ (b) を、上記基板上にフォトリソ膜が形成されている状態で行なうことを特徴とする絶縁膜の形成方法。

【請求項 6】 請求項 1～5 のうちいずれか 1 つに記載の絶縁膜の形成方法において、

上記絶縁膜は、MIS トランジスタのゲート絶縁膜であることを特徴とする絶縁膜の形成方法。

【請求項 7】 請求項 6 記載の絶縁膜の形成方法において、

少なくとも上記工程 (b) の前に、半導体基板内に、第 1 導電型不純物がドーパされた第 1 の活性領域と、第 2 導電型不純物がドーパされた第 2 の活性領域と

を形成する工程を含み、

上記工程 (b) では、上記第 1 および第 2 の活性領域の上に第 1 の絶縁膜および第 2 の絶縁膜を形成することを特徴とする絶縁膜の形成方法。

【請求項 8】 請求項 1～7 のうちいずれか 1 つに記載の絶縁膜の形成方法において、

上記ステップ (b) の後に、上記絶縁膜の熱処理を行なうステップをさらに含むことを特徴とする絶縁膜の形成方法。

【請求項 9】 請求項 1～8 のうちいずれか 1 つに記載の絶縁膜の形成方法において、

上記ステップ (b) を、窒素と酸素とを含む雰囲気中に行なうことを特徴とする絶縁膜の形成方法。

【請求項 10】 請求項 9 記載の絶縁膜の形成方法において、

上記工程 (b) を、NO ガスを含む (酸窒化) 雰囲気中に行なうことを特徴とする絶縁膜の形成方法。

【請求項 11】 請求項 9 記載の絶縁膜の形成方法において、

上記工程 (b) を、酸素と  $N_2$  とを含む (酸窒化) 雰囲気中に行なうことを特徴とする絶縁膜の形成方法。

【請求項 12】 請求項 1～8 のうちいずれか 1 つに記載の絶縁膜の形成方法において、

上記ステップ (b) を、 $O_2$  を含み実質的に窒素を含まない雰囲気中に行なうことを特徴とする絶縁膜の形成方法。

【請求項 13】 半導体基板の第 1、第 2 の活性領域上に絶縁膜を形成する工程 (a) と、

上記第 2 の活性領域を覆い上記第 1 の活性領域上を開口した第 1 のフォトリソ膜を形成する工程 (b) と、

上記第 1 のフォトリソ膜の上方から上記第 1 の活性領域内に不純物イオンを注入する工程 (c) と、

上記第 1 のフォトリソ膜を洗浄によって除去する工程 (d) と、

上記半導体基板に、酸素を含む雰囲気中で半導体基板側へのバイアスが付加さ

れたプラズマを照射して、上記絶縁膜の厚みを回復させる工程（e）と、

上記第1の活性領域を覆い上記第2の活性領域上を開口した第2のフォトリソ膜を形成する工程（f）と、

上記第2のフォトリソ膜の上方から上記第2の活性領域内に不純物イオンを注入する工程（g）と  
を含む半導体装置の製造方法。

【請求項14】 請求項13記載の半導体装置の製造方法において、

上記工程（c）は、MISFETのしきい値制御用の不純物イオンの注入工程であることを特徴とする半導体装置の製造方法。

【請求項15】 半導体基板の上に、半導体膜を形成する工程（a）と、

上記半導体膜の上に半導体膜の一部を覆い、該一部に隣接する他の一部を開口した第1のフォトリソ膜を形成した後、第1のフォトリソ膜の上方から上記半導体膜内に第1導電型不純物イオンを注入する工程（b）と、

上記第1のフォトリソ膜を除去した後、上記半導体膜の上に上記他の一部を覆い上記一部を開口した第2のフォトリソ膜を形成した後、第2のフォトリソ膜の上方から上記半導体膜内に第2導電型不純物イオンを注入する工程（c）と、

上記第2のフォトリソ膜を洗浄によって除去する工程（d）と、

上記半導体基板に、酸素を含む雰囲気中で半導体基板側へのバイアスが付加されたプラズマを照射して、上記半導体膜の上に少なくとも酸素と半導体との反応による絶縁膜を形成する工程（e）と  
を含む半導体装置の製造方法。

【請求項16】 請求項15記載の半導体装置の製造方法において、

上記工程（a）の前に、半導体基板の第1導電型MISFET形成領域と第2導電型MISFET形成領域との上にそれぞれゲート絶縁膜を形成する工程をさらに含み、

上記工程（a）では、上記各ゲート絶縁膜の上に、上記第1および第2導電型MISFET形成領域にまたがる半導体膜を形成し、

上記工程（b）および（c）では、上記一部を上記第2導電型MISFET形

成領域と、上記他の一部を上記第1導電型MISFET形成領域とし、

上記工程(d)の後に、上記半導体膜をパターンニングして、上記第1導電型MISFET形成領域と上記第2導電型MISFET形成領域とにまたがるデュアルゲート型のゲート電極を形成する工程をさらに含むことを特徴とする半導体装置の製造方法。

【請求項17】 請求項15又は16記載の半導体装置の製造方法において

少なくとも上記工程(d)の後に、上記工程(e)で形成された絶縁膜の少なくとも一部の厚み分を除去した後、上記半導体膜の上部をシリサイド化する工程をさらに含むことを特徴とする半導体装置の製造方法。

【請求項18】 半導体基板上に絶縁膜を形成する工程(a)と、

上記絶縁膜の上に半導体膜を形成する工程(b)と、

上記半導体膜をエッチングによりパターンニングして、MISFETのゲート電極を形成するとともに、上記絶縁膜のうち上記半導体膜の他の一部の下方に位置する部分を露出させる工程(c)と、

上記フォトリソグラフ膜を残したままで、上記半導体基板に、酸素を含む雰囲気中で半導体基板側へのバイアスが付加されたプラズマを照射して、上記露出している絶縁膜の上に残存する半導体膜のエッチング残りを酸化する工程(d)とを含む半導体装置の製造方法。

【請求項19】 請求項18記載の半導体装置の製造方法において、

上記工程(d)の後に、酸化されたエッチング残りとは上記絶縁膜の露出している部分とを除去する工程と、

上記半導体基板のうち絶縁膜の除去によって露出した部分の上をシリサイド化する工程とをさらに含むことを特徴とする半導体装置の製造方法。

【請求項20】 請求項18又は19記載の半導体装置の製造方法において

上記工程(d)を、200℃以下の温度で行なうことを特徴とする半導体装置の製造方法。

【請求項21】 半導体基板上に、第1の絶縁膜と少なくとも金属を含む導



体膜とを順次堆積する工程（a）と、

上記導体膜の一部を覆い、他の一部の上を開口したフォトリソ膜をマスクとするエッチングにより上記導体膜を除去するとともに、上記第1の絶縁膜のうち上記導体膜の他の一部の下方に位置する部分を除去する工程（b）と、

上記フォトリソ膜を残したままで、上記半導体基板に、酸素を含む雰囲気中で半導体基板側へのバイアスが付加されたプラズマを照射して、半導体基板の露出している部分の上に少なくとも酸素と半導体との反応による第2の絶縁膜を形成する工程（c）と、

上記フォトリソ膜を洗浄により除去する工程（d）とを含む半導体装置の製造方法。

【請求項22】 請求項21記載の半導体装置の製造方法において、

上記工程（a）では、上記導体膜としてポリシリコン膜とその上に積層された金属膜とを形成することを特徴とする半導体装置の製造方法。

【請求項23】 請求項21又は22記載の半導体装置の製造方法において、

上記工程（c）を、200℃以下の温度で行なうことを特徴とする半導体装置の製造方法。

【請求項24】 半導体基板の第1導電型MISFET形成領域の上に第1のゲート絶縁膜を挟んで第1導電型不純物を含む半導体膜からなる第1のゲート電極を、上記半導体基板の第2導電型MISFET形成領域の上に第2のゲート絶縁膜を挟んで第2導電型不純物を含む半導体膜からなる第2のゲート電極をそれぞれ形成する工程（a）と、

上記半導体基板に、酸素を含む雰囲気中で半導体基板側へのバイアスが付加されたプラズマを照射して、上記半導体基板および上記第1、第2のゲート電極の露出している部分の上に少なくとも酸素と半導体との反応による被覆絶縁膜を形成する工程（b）と、

上記第2導電型MISFET形成領域を覆い、上記第1導電型MISFET形成領域を開口した第1のフォトリソ膜および上記第1のゲート電極をマスクとして第1導電型不純物のイオン注入を行なって、上記第1導電型MISFET

のソース・ドレイン領域を形成する工程 (c) と、

上記第 1 のフォトリソ膜を洗浄により除去する工程 (d) と、

上記第 1 導電型 M I S F E T 形成領域を覆い、上記第 2 導電型 M I S F E T 形成領域を開口した第 2 のフォトリソ膜および上記第 2 のゲート電極をマスクとして第 2 導電型不純物のイオン注入を行なって、上記第 2 導電型 M I S F E T のソース・ドレイン領域を形成する工程 (e) とを含む半導体装置の製造方法。

【請求項 2 5】 請求項 2 4 記載の半導体装置の製造方法において、

上記工程 (b) を、300℃以下の温度で行なうことを特徴とする半導体装置の製造方法。

【請求項 2 6】 半導体基板上にパッド酸化膜とマスク用窒化膜とを順次堆積する工程 (a) と、

上記マスク用窒化膜およびパッド酸化膜のうちトレンチ形成領域を開口する工程 (b) と、

上記マスク用窒化膜をマスクとするエッチングにより、上記半導体基板にトレンチを形成する工程 (c) と、

上記半導体基板に、酸素を含む雰囲気中で半導体基板側へのバイアスが付加されたプラズマを照射して、上記半導体基板のうち上記トレンチ内に露出している部分の上に少なくとも酸素と半導体との反応による丸め用絶縁膜を形成する工程 (d) と、

上記トレンチ内に絶縁膜を埋め込んでトレンチ分離領域を形成する工程 (e) とを含む半導体装置の製造方法。

【請求項 2 7】 請求項 2 6 記載の半導体装置の製造方法において、

上記工程 (d) の後で上記工程 (e) の前に、熱酸化を行なって上記丸め用絶縁膜の厚みを増大させる工程をさらに含むことを特徴とする半導体装置の製造方法。

【請求項 2 8】 請求項 2 6 又は 2 7 記載の半導体装置の製造方法において

上記工程 (d) を、300℃以下の温度で行なうことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、高信頼性の酸化膜を低温で形成できる絶縁膜の形成方法およびこれを利用した半導体装置の製造方法に関する。

【0002】

【従来の技術】

近年、半導体集積回路の高集積化の要請に伴って、例えばトランジスタの極浅接合構造の採用や、STI (Shallow Trench Isolation) による素子分離の採用がなされている。極浅接合構造の採用やSTIの採用に伴い、ゲート酸化膜形成 (熱酸化) 時に生じるSTI端部の応力集中によって活性領域中に転位欠陥が発生し、その結果接合リークが増大したり、ゲート酸化膜形成時に生じる接合プロファイルの変化によってしきい値電圧のバラツキが増大するおそれが生じてきている。そこで、これらの不具合を回避するために、酸化膜を形成するためのプロセスの低温化が非常に重要になってきている。

【0003】

また、半導体集積回路の高集積化の要請に伴って、MOSFETのゲート長が縮小されてきていることから、ショートチャネル効果の抑制が困難になってきている。そのため、NMOSFETのゲート電極用ポリシリコン膜にリンイオン注入を、PMOSFETのゲート電極用ポリシリコン膜にボロンイオン注入を行って、デュアルゲート電極と呼ばれるゲート電極構造にすることにより、ショートチャネル効果を抑制するようになされている。

【0004】

図16 (a) ~ (d) および図17 (a) ~ (d) は、トレンチ分離構造とデュアルゲート構造とを有する従来のCMOSデバイスの製造工程を示す断面図である。

【0005】

まず、図16(a)に示す工程で、Si基板100にトレンチ分離領域101を形成した後、フォトリソグラフィ工程により、保護酸化膜102の上に、NMOSFET形成領域 $R_n$ を覆い、PMOSFET形成領域 $R_p$ を開口したフォトレジスト膜103を形成する。そして、Si基板100のうちフォトレジスト膜103の開口部に位置する領域(PMOSFET形成領域 $R_p$ )内に、Nウェル領域104を形成するためのリンイオン( $P^+$ )の注入、しきい値制御用のリンイオン( $P^+$ )の注入、パンチスルーストッパー用のヒ素イオン( $As^+$ )の注入を行なう。

## 【0006】

次に、図16(b)に示す工程で、RCA洗浄によりフォトレジスト膜103を除去する。

## 【0007】

次に、図16(c)に示す工程で、フォトリソグラフィ工程により、保護酸化膜102の上に、PMOSFET形成領域 $R_p$ を覆い、NMOSFET形成領域 $R_n$ を開口したフォトレジスト膜105を形成する。そして、Si基板100のうちフォトレジスト膜105の開口部に位置する領域(NMOSFET形成領域 $R_n$ )内に、Pウェル領域105を形成するためのボロンイオン( $B^+$ )の注入、しきい値制御用のボロンイオン( $B^+$ )の注入、パンチスルーストッパー用のボロンイオン( $B^+$ )の注入などを行なう。

## 【0008】

次に、図16(d)に示す工程で、RCA洗浄によりフォトレジスト膜105を除去した後、保護酸化膜102を除去してから、酸素雰囲気中で、Si基板100を約800～1000℃で加熱することにより、N型ウェル領域104、P型ウェル領域106の上に、それぞれゲート酸化膜107a、107bを形成する。

## 【0009】

次に、図17(a)に示す工程で、基板上にゲート電極用ポリシリコン膜108を堆積した後、ポリシリコン膜108の上に、NMOSFET形成領域 $R_n$ を覆い、PMOSFET形成領域 $R_p$ を開口したフォトレジスト膜109を形成す

る。そして、ポリシリコン膜のうちフォトレジスト膜 109 の開口部に位置する領域 (PMOSFET 形成領域  $R_p$ ) 内にボロンイオン ( $B^+$ ) を注入する。

#### 【0010】

同様に、図 17 (b) に示す工程で、RCA 洗浄により、フォトレジスト膜 109 を除去した後、フォトリソグラフィ工程により、ポリシリコン膜 108 の上に、PMOSFET 形成領域  $R_p$  を覆い、NMOSFET 形成領域  $R_n$  を開口したフォトレジスト膜 110 を形成する。そして、ポリシリコン膜 108 のうちフォトレジスト膜 110 の開口部に位置する領域 (NMOSFET 形成領域  $R_n$ ) 内にリンオン ( $P^+$ ) を注入する。

#### 【0011】

次に、図 17 (c) に示す工程で、RCA 洗浄により、フォトレジスト膜 110 を除去した後、ポリシリコン膜 108 内に注入した不純物を活性化するための熱処理を行なう。これにより、PMOSFET 形成領域  $R_p$  には P 型ポリシリコン膜 108 p が、NMOSFET 形成領域  $R_n$  には N 型ポリシリコン膜 108 n が形成されることになる。

#### 【0012】

次に、P 型ポリシリコン膜 108 p および N 型ポリシリコン膜 108 n をパターンニングして、PMOSFET のゲート電極 108 a と NMOSFET のゲート電極 108 b とをそれぞれ形成する。

#### 【0013】

また、近年、チップ面積の縮小化及びデバイスの高速化に対応すべく、MOSFET のゲート電極の低抵抗化が図られており、その 1 つの有力な手段として、ゲート電極の一部を金属 (リフラクトリ金属又はそのシリサイド) により構成したいわゆるポリメタルゲートやポリサイドゲート構造が知られている。

#### 【0014】

図 18 (a) ~ (d) は、ポリメタル構造を有する従来の CMOS デバイスの製造工程を示す断面図である。

#### 【0015】

まず、図 16 (a) ~ (d) に示す工程と同様の工程を行なって、Si 基板 1

00に、PMOSFET形成領域 $R_p$ とNMOSFET形成領域 $R_n$ とを区画するトレンチ分離領域101と、N型ウエル領域104と、P型ウエル領域106と、ゲート酸化膜107a、107bを形成する。そして、図18(a)に示すように、基板上に、ポリシリコン膜120と、チタンシリサイドなどの金属膜121と、シリコン窒化膜などの絶縁膜122とを順次積層する。

#### 【0016】

次に、図18(b)に示す工程で、フォトリソグラフィ工程を行なって、ゲート電極形成領域を覆うフォトレジスト膜115を形成した後、フォトレジスト膜をマスクとするドライエッチング（異方性エッチング）により、絶縁膜122、金属膜121およびポリシリコン膜120をパターニングする。これにより、PMOSFET形成領域 $R_p$ には、下部ゲート電極120aおよび上部ゲート電極121aからなるゲート電極125aと、ゲート上保護膜122aとが形成される。また、NMOSFET形成領域 $R_n$ には、下部ゲート電極120bおよび上部ゲート電極121bからなるゲート電極125bと、ゲート上保護膜122bとが形成される。

#### 【0017】

次に、図18(c)に示す工程で、基板上に、NMOSFET形成領域 $R_n$ を覆い、PMOSFET形成領域 $R_p$ を開口したフォトレジスト膜116を形成し、フォトレジスト膜116およびゲート電極125aをマスクとして、Si基板100内にボロンイオン( $B^+$ )を注入してPMOSFETのソース・ドレイン領域126を形成する。

#### 【0018】

次に、図18(d)に示す工程で、RCA洗浄によりフォトレジスト膜116を除去した後、基板上に、PMOSFET形成領域 $R_p$ を覆い、NMOSFET形成領域 $R_n$ を開口したフォトレジスト膜（図示せず）を形成し、フォトレジスト膜およびゲート電極125bをマスクとして、Si基板100内にヒ素イオン( $As^+$ )を注入してnMOSFETのソース・ドレイン領域127を形成する。その後、RCA洗浄により、フォトレジスト膜を除去する。

#### 【0019】

## 【発明が解決しようとする課題】

しかしながら、上記各図に示される従来の半導体装置においては、以下のようないくつかの不具合があった。

## 【0020】

第1に、図17(d)に示すように、PMOSFETのゲート酸化膜107aとNMOSFETのゲート酸化膜107bとでは、互いに厚みが異なるという不具合があった。これは、図16(d)に示すゲート酸化膜を形成するための熱酸化工程において、保護酸化膜102のうち、リンイオン（又はヒ素イオン）が注入されているPMOSFET形成領域 $R_p$ の部分に比べ、ボロンイオンが注入されているNMOSFET形成領域 $R_n$ の部分のほうが酸化がされにくいからである。また、850～1000℃の熱処理が施される際に、P型ウェル領域106におけるNMOSFETのしきい値電圧を制御するための不純物濃度プロファイルや、N型ウェル領域104におけるPMOSFETのしきい値電圧を制御するための不純物濃度プロファイルが変化することに起因して、MOSFETのショートチャネル効果の助長、NMOSFETとPMOSFETのしきい値電圧のバラツキの増大、オフリーク電流の増大などの不具合が生じていた。

## 【0021】

第2に、ゲート電極用ポリシリコン膜108のうちP型ポリシリコン膜108p内に注入したボロンが、熱酸化膜の際の900～1000℃の熱処理によってゲート酸化膜107aを突き抜けてN型ウェル領域104に拡散することにより、ゲート酸化膜の信頼性の低下や、PMOSFETのしきい値電圧のバラツキの増大を生ぜしめるという不具合がある。

## 【0022】

第3に、図16(b)に示すように、イオン注入後にRCA洗浄によってフォトレジスト膜103を除去すると、保護酸化膜102の表面粗さ（ラフネス）がきわめて大きくなるという現象があった。これは、イオン注入の際にイオンによる衝撃を受けることと、RCA洗浄によって保護酸化膜102が不均一なエッチングを受けることに起因するものと思われる。そして、保護酸化膜102の表面粗さが大きい状態でウェル領域形成のためのつまりしきい値制御のためのイオン

注入を行なっても、ウェル領域内のチャネル領域に相当する部分の不純物濃度の各MOSFET間におけるばらつきが大きくなる。すなわち、各MOSFETのしきい値電圧のばらつきが大きくなるという不具合があった。また、RCA洗浄によってSi基板100もエッチングされる。例えばイオン注入されたSi基板が露出した状態でRCA洗浄を行うと、しきい値制御用の不純物イオンが注入されているSi基板100も数nmの厚み分だけエッチングされることがある。そのために、注入された不純物の濃度プロファイルが変化するので、特に、ベリッドトランジスタ構造を有するMOSFETにおいては、しきい値電圧が大きく変動することになる。

#### 【0023】

第4に、図17(d)に示すように、ポリシリコン膜108をパターニングして、ゲート電極108a, 108bを形成する際に、Si基板100の活性領域の表面が荒れることがある。ポリシリコン膜のエッチング終了時期を検知した状態でも、完全にポリシリコン膜がなくなっているわけではなくエッチング残りやサイドウォールとして部分的にポリシリコン膜が残存していることから、これを除去するためにオーバーエッチングが行なわれている。しかるに、近年のゲート酸化膜の薄膜化(数nm)に伴い、オーバーエッチングによってポリシリコン膜が完全に除去される前に、ゲート酸化膜のポリシリコン膜によって覆われていない部分のみがエッチングされることがあり、その下方のSi基板100も部分的に除去されてしまうと、活性領域の表面が荒れることになる。その結果、サリサイド工程において良好なシリサイド層が形成されないことがある。また、ソース・ドレイン用イオン注入のプロファイルが均一に形成されないため、接合リークの増大につながる。

#### 【0024】

第5に、図18(d)に示すように、金属膜122のパターニング後にフォトレジスト膜116などをRCA洗浄により除去する際に、各MOSFETのゲート電極125a, 125bのうち、金属によって構成されている上部電極121a, 121bが側面からエッチングされる。そして、エッチングによりエッチング液内に溶け込んだ金属イオンがSi基板100の表面から活性領域内に侵入す



ると、MOSFETの接合リークを発生させる原因となるという不具合があった。一方、基板面を覆う熱酸化膜を形成してこの汚染を防止しようとする、金属によって構成されている上部電極121a, 121bが剥がれるという不具合がある。

## 【0025】

第6に、図17(b)に示すように、RCA洗浄により、フォトリジスト膜109, 110を除去する際や、炉前洗浄の際に、ポリシリコン膜108もある程度エッチングされる。ところが、ボロンイオンが注入されたP型ポリシリコン膜108pと、リンイオン(又はヒ素イオン)が注入されたN型ポリシリコン膜108nとでは、エッチング速度が異なるためにP型ポリシリコン膜108pとN型ポリシリコン膜108nとの境界に段差が生じることがある。この段差が急峻である場合、図17(d)に示す断面においては何も不具合はないように見えるが、シリサイドゲート構造を有するCMOSインバータにおいては以下のような不具合が生じるおそれがある。

## 【0026】

図19(a)～(c)は、図17(d)に示す断面に直交する断面(図19(d)のXX-XX線断面)におけるゲート電極108a, 108bの構造のみを抜き出して、シリサイド化工程を示す断面図である。また、図20は、CMOSインバータのゲート電極およびその下方の部分を示す平面図である。すなわち、CMOSインバータの場合、図17(d)に示す断面に直交する断面では、PMOSFETとNMOSFETとの間でゲート電極は互いにつながった状態となっている。

## 【0027】

そして、図19(a)に示すような急峻な段差が存在する状態で、図19(b)に示すように、ゲート電極108a, 108b上に後の工程でシリサイド膜を形成するために例えばCo膜等をゲート電極108a, 108bの上に堆積しても、この段差部の側壁にはCo膜等が十分堆積されない。

## 【0028】

その結果、図19(c)に示すように、シリサイド化を行なった後に、段差部

で $\text{CoSi}_2$ 膜等のシリサイド膜がきわめて薄くなるか形成されないことになる。したがって、CMOSインバータにおいてNMOSFETのゲート電極108bに電圧を印加しても、両者間の抵抗がきわめて大きくなってPMOSFETのゲート電極108aに電界が伝わらないおそれがあった。

## 【0029】

第7に、STI構造（トレンチ分離領域）を形成する際にも、以下のような不具合があった。図21は、従来のトレンチ分離領域の形状を示す断面図である。同図に示すように、Si基板100の上にパッド酸化膜131とマスク用窒化膜132とが積層され、Si基板100のうちマスク用窒化膜132の開口部の下方に位置する部分をエッチングすることにより、トレンチ134が形成される。そして、トレンチ内におけるSi基板100を熱酸化して熱酸化膜135を形成した後、トレンチ内にCVD酸化膜を埋め込んでトレンチ分離領域136を形成している。

## 【0030】

しかしながら、マスク用窒化膜132の厚み、パッド酸化膜131の厚み、又はマスク用窒化膜132の平面上の寸法によってトレンチ内の各エッジ部における熱酸化膜135の厚みが変わることがある。特に、エッジ部において熱酸化膜135が薄膜化されるホーン現象が生じると、トレンチ134内におけるSi基板100のコーナー部に急峻なエッジが形成されるので、このエッジに電界が集中してゲート絶縁膜の破壊やハンプ現象（エッジトランジスタの作動）などの不具合が生じる。熱酸化膜135を形成する際の温度を900℃以下の低温にすると、特にホーン現象が顕著になるために、これを回避すべく熱酸化処理時の温度を1000℃にすることもできるが、反面、酸化温度が高くなるほど窒化膜132のストレスが大きくなり、Si基板100中に発生する欠陥が増大するという不具合がある。

## 【0031】

本発明の目的は、上述のような不具合が根本的に熱酸化による酸化膜の形成時に高温処理が必要であることに起因することに着目し、低温の処理による酸化を利用して酸化膜を形成する手段を講ずることにより、上述のような不具合を解消

しうる絶縁膜の形成方法および半導体装置の製造方法を提供することにある。

【0032】

【課題を解決するための手段】

上記不具合を解消するために、本発明は、バイアスを付加したプラズマを利用して、低温で酸化膜又は酸窒化膜を形成している。

【0033】

本発明の絶縁膜の形成方法は、半導体層を有する基板を処理室内に設置するステップ（a）と、上記処理室を酸素を含む雰囲気中に維持した状態で、処理室内に上記基板方向へのバイアスが付加されたプラズマを発生させて、上記半導体層にバイアスが付加されたプラズマを照射するステップ（b）とを含み、上記基板の露出している半導体層の上に、少なくとも酸素と半導体との反応による絶縁膜を形成する方法である。

【0034】

この方法により、熱酸化法に比べて低い温度で、プラズマを利用した半導体の酸化を行なって絶縁膜を形成することができる。したがって、この特質を利用して、基板を高温にすることによる特性の悪化などの不具合を回避しながら、半導体装置の様々な部材として機能する絶縁膜を形成することができる。

【0035】

上記絶縁膜の形成方法において、上記ステップ（b）では、上記バイアスの大きさを調整することにより、上記絶縁膜の厚みを制御することができる。

【0036】

上記絶縁膜の形成方法において、上記ステップ（b）を、300℃以下の温度で行なうことが好ましい。

【0037】

上記絶縁膜の形成方法において、上記ステップ（b）を、200℃以下の温度で行なうことがより好ましい。

【0038】

上記絶縁膜の形成方法において、上記ステップ（b）を、上記基板上にフォトリジスト膜が形成されている状態で行なうこともできる。

【0039】

上記絶縁膜の形成方法において、上記絶縁膜をMISトランジスタのゲート絶縁膜として用いることもできる。

【0040】

上記絶縁膜の形成方法において、少なくとも上記工程（b）の前に、半導体基板内に、第1導電型不純物がドーピングされた第1の活性領域と、第2導電型不純物がドーピングされた第2の活性領域とを形成する工程を含み、上記工程（b）では、上記第1および第2の活性領域の上に第1の絶縁膜および第2の絶縁膜を形成することにより、熱酸化法とは異なり、互いにほぼ等しい厚みを有する第1の絶縁膜と第2の絶縁膜とを形成することができる。

【0041】

上記絶縁膜の形成方法において、上記ステップ（b）の後に、上記絶縁膜の熱処理を行なうステップをさらに含むことにより、絶縁膜の均質化やその表面のカーボンの汚染を除去することができ、絶縁膜の信頼性が向上する。

【0042】

上記絶縁膜の形成方法において、上記ステップ（b）を、窒素と酸素とを含む雰囲気中に行なってもよく、NOガスを含む（酸窒化）雰囲気中に行なってもよいし、酸素と $N_2$ とを含む（酸窒化）雰囲気中に行なってもよい。この場合には酸窒化膜が形成されることになる。

【0043】

また、上記ステップ（b）を、 $O_2$ を含み実質的に窒素を含まない雰囲気中に行なうことにより、酸化膜が形成される。

【0044】

本発明の第1の半導体装置の製造方法は、半導体基板の第1、第2の活性領域上に絶縁膜を形成する工程（a）と、上記第2の活性領域を覆い上記第1の活性領域上を開口した第1のフォトリソ膜を形成する工程（b）と、上記第1のフォトリソ膜の上方から上記第1の活性領域内に不純物イオンを注入する工程（c）と、上記第1のフォトリソ膜を洗浄によって除去する工程（d）と、上記半導体基板に、酸素を含む雰囲気中で半導体基板側へのバイアスが付加さ

れたプラズマを照射して、上記絶縁膜の厚みを回復させる工程（e）と、上記第1の活性領域を覆い上記第2の活性領域上を開口した第2のフォトリジスト膜を形成する工程（f）と、上記第2のフォトリジスト膜の上方から上記第2の活性領域内に不純物イオンを注入する工程（g）とを含んでいる。

## 【0045】

この方法により、工程（d）で、イオン注入や第1のフォトリジスト膜を除去するための洗浄によって絶縁膜もエッチングされ厚みにばらつきを生じるが、工程（e）のバイアスプラズマ処理によって絶縁膜の厚みが元のほぼ均一な厚みになるよう修復される。したがって、その後工程（g）で注入される不純物イオンの第2の活性領域内での分布を再現性よく制御することができる。

## 【0046】

上記第1の半導体装置の製造方法において、上記工程（c）を、MISFETのしきい値制御用の不純物イオンの注入工程とすることにより、MISFETのしきい値のばらつきを抑制することができる。

## 【0047】

本発明の第2の半導体装置の製造方法は、半導体基板の上に、半導体膜を形成する工程（a）と、上記半導体膜の上に半導体膜の一部を覆い、該一部に隣接する他の一部を開口した第1のフォトリジスト膜を形成した後、第1のフォトリジスト膜の上方から上記半導体膜内に第1導電型不純物イオンを注入する工程（b）と、上記第1のフォトリジスト膜を除去した後、上記半導体膜の上に上記他の一部を覆い上記一部を開口した第2のフォトリジスト膜を形成した後、第2のフォトリジスト膜の上方から上記半導体膜内に第2導電型不純物イオンを注入する工程（c）と、上記第2のフォトリジスト膜を洗浄によって除去する工程（d）と、上記半導体基板に、酸素を含む雰囲気中で半導体基板側へのバイアスが付加されたプラズマを照射して、上記半導体膜の上に少なくとも酸素と半導体との反応による絶縁膜を形成する工程（e）とを含んでいる。

## 【0048】

この方法により、工程（d）におけるフォトリジスト膜の洗浄の際に、半導体膜に注入された不純物の導電型の相違によって半導体膜上面の段差が生じるが、

工程（e）において低温での処理によって半導体膜の上面付近の領域が酸化されることによって急峻な段差が丸められる。したがって、半導体膜中の不純物の分布に悪影響を与えることなく、その後半導体膜の上に形成される部材が急峻な段差の存在によって悪影響を受けるのを回避することができる。

## 【0049】

上記第2の半導体装置の製造方法において、上記工程（a）の前に、半導体基板の第1導電型MISFET形成領域と第2導電型MISFET形成領域との上にそれぞれゲート絶縁膜を形成する工程をさらに含み、上記工程（a）では、上記各ゲート絶縁膜の上に、上記第1および第2導電型MISFET形成領域にまたがる半導体膜を形成し、上記工程（b）および（c）では、上記一部を上記第2導電型MISFET形成領域と、上記他の一部を上記第1導電型MISFET形成領域とし、上記工程（d）の後に、上記半導体膜をパターンニングして、上記第1導電型MISFET形成領域と上記第2導電型MISFET形成領域とにまたがるデュアルゲート型のゲート電極を形成する工程をさらに含むことにより、CMISインバータのゲート電極における電界の伝達を良好に維持することができる。

## 【0050】

上記第2の半導体装置の製造方法において、少なくとも上記工程（d）の後に、上記工程（e）で形成された絶縁膜の少なくとも一部の厚み分を除去した後、上記半導体膜の上部をシリサイド化する工程をさらに含むことにより、低抵抗化されたゲート電極における電界の伝達を良好に維持することができる。

## 【0051】

本発明の第3の半導体装置の製造方法は、半導体基板上に絶縁膜を形成する工程（a）と、上記絶縁膜の上に半導体膜を形成する工程（b）と、上記半導体膜をエッチングによりパターンニングして、MISFETのゲート電極を形成する工程（c）と、上記フォトリソ膜を残したままで、上記半導体基板に、酸素を含む雰囲気中で半導体基板側へのバイアスが付加されたプラズマを照射して、上記露出している絶縁膜の上に残存する半導体膜のエッチング残りを酸化する工程（d）とを含んでいる。

## 【 0 0 5 2 】

この方法により、半導体膜をパターニングして形成される部材の周囲に導体として機能するエッチング残りが存在したままになったり、後に絶縁膜を除去する際に不均一なエッチングによって半導体基板面が荒らされたりするのを回避することができる。

## 【 0 0 5 3 】

上記第 3 の半導体装置の製造方法において、上記工程 (d) の後に、酸化されたエッチング残りと上記絶縁膜の露出している部分とを除去する工程と、上記半導体基板のうち絶縁膜の除去によって露出した部分の上をシリサイド化する工程とをさらに含むことにより、MISFET のソース・ドレイン領域の一部となる低抵抗のシリサイド層を形成することができる。

## 【 0 0 5 4 】

上記工程 (d) を、200℃以下の温度で行なうことにより、工程 (d) をフォトリソ膜を付けたままで行なうことが可能になり、その後、フォトリソ膜を用いたエッチングによって酸化されたエッチング残りや絶縁膜を除去することが可能になる。

## 【 0 0 5 5 】

本発明の第 4 の半導体装置の製造方法は、半導体基板上に、第 1 の絶縁膜と少なくとも金属を含む導体膜とを順次堆積する工程 (a) と、上記導体膜の一部を覆い、他の一部の上を開口したフォトリソ膜をマスクとするエッチングにより上記導体膜を除去するとともに、上記第 1 の絶縁膜のうち上記導体膜の他の一部の下方に位置する部分を除去する工程 (b) と、上記フォトリソ膜を残したまま、上記半導体基板に、酸素を含む雰囲気中で半導体基板側へのバイアスが付加されたプラズマを照射して、半導体基板の露出している部分の上に少なくとも酸素と半導体との反応による第 2 の絶縁膜を形成する工程 (c) と、上記フォトリソ膜を洗浄により除去する工程 (d) とを含んでいる。

## 【 0 0 5 6 】

この方法により、工程 (d) において導体膜中の金属が洗浄液に溶け込んでも、半導体基板の上に第 2 の絶縁膜が存在しているので、金属イオンが半導体基板

内に侵入するのを阻止することができる。しかも、熱酸化のような高温処理を必要としないので、導体膜中の金属が酸化されるのを回避することができる。

## 【0057】

上記第4の半導体装置の製造方法において、上記工程(a)では、上記導体膜としてポリシリコン膜とその上に積層された金属膜とを形成することにより、ポリメタル構造やポリサイド構造を有するゲート電極を有する半導体装置を得ることができる。

## 【0058】

上記第4の半導体装置の製造方法において、上記工程(c)を、200℃以下の温度で行なうことが好ましい。

## 【0059】

本発明の第5の半導体装置の製造方法は、半導体基板の第1導電型MISFET形成領域の上に第1のゲート絶縁膜を挟んで第1導電型不純物を含む半導体膜からなる第1のゲート電極を、上記半導体基板の第2導電型MISFET形成領域の上に第2のゲート絶縁膜を挟んで第2導電型不純物を含む半導体膜からなる第2のゲート電極をそれぞれ形成する工程(a)と、上記半導体基板に、酸素を含む雰囲気中で半導体基板側へのバイアスが付加されたプラズマを照射して、上記半導体基板および上記第1、第2のゲート電極の露出している部分の上に少なくとも酸素と半導体との反応による被覆絶縁膜を形成する工程(b)と、上記第2導電型MISFET形成領域を覆い、上記第1導電型MISFET形成領域を開口した第1のフォトリソ膜および上記第1のゲート電極をマスクとして第1導電型不純物のイオン注入を行なって、上記第1導電型MISFETのソース・ドレイン領域を形成する工程(c)と、上記第1のフォトリソ膜を洗浄により除去する工程(d)と、上記第1導電型MISFET形成領域を覆い、上記第2導電型MISFET形成領域を開口した第2のフォトリソ膜および上記第2のゲート電極をマスクとして第2導電型不純物のイオン注入を行なって、上記第2導電型MISFETのソース・ドレイン領域を形成する工程(e)とを含んでいる。

## 【0060】



この方法により、工程（b）で低温で被覆絶縁膜を形成できるので、熱酸化のようにゲート電極中のボロンの半導体基板への突き抜け現象を招くことがない。そして、被覆絶縁膜によって半導体基板面を保護できるので、薄膜化されたゲート絶縁膜において、後の工程（d）においてフォトリソ膜を除去する際にソース・ドレイン領域の表面がエッチングされるのを防止することができ、ソース・ドレイン領域のシート抵抗を小さく維持することができる。

## 【0061】

上記第5の半導体装置の製造方法において、上記工程（b）を、300℃以下の温度で行なうことが好ましい。

## 【0062】

本発明の第6の半導体装置の製造方法は、半導体基板上にパッド酸化膜とマスク用窒化膜とを順次堆積する工程（a）と、上記マスク用窒化膜およびパッド酸化膜のうちトレンチ形成領域を開口する工程（b）と、上記マスク用窒化膜をマスクとするエッチングにより、上記半導体基板にトレンチを形成する工程（c）と、上記半導体基板に、酸素を含む雰囲気中で半導体基板側へのバイアスが付加されたプラズマを照射して、上記半導体基板のうち上記トレンチ内に露出している部分の上に少なくとも酸素と半導体との反応による丸め用絶縁膜を形成する工程（d）と、上記トレンチ内に絶縁膜を埋め込んでトレンチ分離領域を形成する工程（e）とを含んでいる。

## 【0063】

この方法により、工程（b）においてエッチングによるトレンチの形成の際に、パッド酸化膜が後退して露出する半導体基板の急峻なエッジが、工程（d）における丸め用絶縁膜の形成によって丸められるので、ここに形成されるMISFETの電界の集中によるゲート絶縁膜の信頼性の低下や、MISFETのハンブ減小の発生を抑制することができる。

## 【0064】

上記第6の半導体装置の製造方法において、上記工程（d）の後で上記工程（e）の前に、熱酸化を行なって上記丸め用絶縁膜の厚みを増大させる工程をさらに含むことにより、電界の集中などの不具合を招くことなく、トレンチ分離領域

の下敷き酸化膜を形成することができる。

#### 【0065】

##### 【発明の実施の形態】

##### ーバイアスプラズマ処理による酸化膜の形成ー

本発明の実施形態について説明する前に、本発明において用いるバイアスプラズマ処理のための装置、バイアスプラズマ処理によって形成される酸化膜の性質などについて説明する。

#### 【0066】

図1は、本発明の各実施形態において用いるバイアスプラズマ発生装置の構成を概略的に示す断面図である。バイアスプラズマ発生装置は、チャンバー1の底部に設置されたアノードとなる下部電極2と、下部電極2に対向して設置されたカソードとなるバイアス電極3と、コンデンサ6を挟んで下部電極に高周波電力(13.56MHz)を印加するための高周波電源5とを備えている。そして、下部電極2の上に処理用ウエハー4を載置し、チャンバー1の上部からプラズマおよび反応ガス(酸素)を導入し、チャンバー1の下部電極2の周辺部に設けられた排気口から反応ガスを排出するように構成されている。プラズマ発生装置としては、容量結合型、誘導結合型、ECRプラズマ発生装置、ヘリコン波プラズマ発生装置など、各種のプラズマ発生装置においてバイアス電極を付加したものをを用いることができる。

#### 【0067】

バイアスプラズマによる処理を行なう際には、例えば、下部電極2の温度を180℃に設定し、チャンバー上部から酸素ガスを約800(sccm)の流量で導入して、ガス圧力を0.5Torr(66.65Pa)にして、高周波電源5により1000(W)の高周波電力を印加する。これにより、ウエハー4の露出されているSi層(単結晶シリコン、ポリシリコン、アモルファスシリコン)が酸化されてシリコン酸化膜が形成される。なお、高周波電力に代えて直流電圧を印加してもよい。以下に説明する実験結果は、高周波電力ではなくDC電圧の印加によって得られたものである。

#### 【0068】

図2は、下部電極の温度を180℃にして、処理用ウエハーにバイアスプラズマ処理を行なった結果、単結晶Si層の上に形成されたシリコン酸化膜の厚みの処理時間依存性を示すデータである。同図において、横軸はバイアスプラズマの印加時間(sec)を表し、縦軸は形成されるシリコン酸化膜(SiO<sub>2</sub>膜)の厚み(nm)を表している。同図に示すように、バイアスプラズマ処理を続けていくと、5min(300sec)まではシリコン酸化膜の厚みが増大して行くが、それ以上バイアスプラズマ処理を続けてもシリコン酸化膜の厚みはほとんど変化せず、厚みが約6nmで飽和するという特徴的な酸化の形態を示すことがわかった。

## 【0069】

図3は、予め初期酸化膜が形成されているウエハーにバイアスプラズマ処理を行なって得られる酸化膜厚みの増大量の初期酸化膜の厚みに対する依存性を示す図である。同図において、横軸は、バイアスプラズマ処理を行なう前に予め熱酸化によってウエハーに形成されている初期酸化膜の厚みを表している。また、縦軸は、上述の条件(下部電極の温度180℃)でバイアスプラズマ処理を5min行なったときの酸化膜の厚みの増大量(nm)、つまり新たに形成された酸化膜の厚みを表している。同図に示すように、初期酸化膜の厚みが6(nm)以下の条件においては、5minのバイアスプラズマ処理によってトータルの酸化膜の厚みが約6(nm)になるように、新たな酸化膜が形成されている。言い換えると、トータルの酸化膜の厚みがほぼ一定の値(約6nm)に自然に制御されている。一方、初期酸化膜の厚みが6(nm)を越えると、バイアスプラズマ処理を行なっても、トータルの酸化膜の厚みはほとんど増大しない。

## 【0070】

なお、図2に示す酸化膜の飽和膜厚はバイアスパワーに大きく影響され、バイアスパワーを大きくすると、酸化膜の飽和膜厚が大きくなり、バイアスパワーを小さくすると酸化膜の飽和膜厚が薄くなることも確認されている。つまり、バイアスパワーによってトータルの酸化膜の厚みを制御することができる。

## 【0071】

ここで、このバイアスプラズマ処理の特徴は、200℃程度以下の低温(室温

も含む)でも十分酸化膜を形成できる点である。このような低温におけるバイアスプラズマ処理を行なう際に、ウェハー上にフォトレジスト膜が形成されている場合でも、フォトレジスト膜の除去速度は遅くフォトレジスト膜はほとんど除去されることはない。一般に、フォトレジスト膜を除去するためのアッシングは、約250℃程度以上に加熱して行なう必要があるからである。したがって、フォトレジスト膜が存在した状態では、200℃以下で行なうことが好ましい。ただし、フォトレジスト膜が存在しない状態では、300℃程度まで温度を高くしてもよい。

#### 【0072】

従来、行なわれているプラズマ酸化処理は350～600℃の範囲で行なわれており、フォトレジスト膜が存在した状態では、フォトレジスト膜にダメージを与えることなく酸化膜を形成することはできない。

#### 【0073】

また、高周波電力の周波数は、200(KHz)～20(MHz)の範囲に変化させてもよいし、上述のように直流電源であってもよい。ただし、高周波電力を印加した方が、より効果的にバイアスを印加することができると考えられる。特に、800(KHz)、400(KHz)の比較的周波数の低い高周波電力を用いた方が、プラズマ領域中のラジカル又はイオンにバイアスを印加することが容易である。

#### 【0074】

なお、反応ガスは酸素に限定されるものではなく、窒素と酸素の混合ガスでもよい。例えば、NOガス雰囲気、酸素とN<sub>2</sub>とを含む雰囲気で行なうことができる。もちろん、O<sub>2</sub>を含み実質的に窒素を含まない雰囲気中に行なうこともできる。

#### 【0075】

以下、上述のバイアスプラズマ酸化膜の形成方法およびこれを利用した半導体装置の製造方法について、説明する。

#### 【0076】

(第1の実施形態)

図4 (a) ~ (d), 図5 (a) ~ (d), 図6 (a) ~ (d) および図7 (a) ~ (d) は、トレンチ分離構造とデュアルゲート構造とを有する第1の実施形態のCMOSデバイスの製造工程を示す断面図である。

#### 【0077】

まず、図4 (a) に示す工程で、Si基板11上にトレンチ分離領域12を形成した後、活性領域におけるSi基板11の上に熱酸化によって厚みが約10nmの保護酸化膜13を形成し、フォトリソグラフィ工程により、基板上に、NMOSFET形成領域 $R_n$ を覆い、PMOSFET形成領域 $R_p$ を開口したフォトレジスト膜 $P_{r1}$ を形成する。そして、Si基板11のうちフォトレジスト膜 $P_{r1}$ の開口部に位置する領域 (PMOSFET形成領域 $R_p$ ) 内にリンイオン ( $P^+$ ) を、注入エネルギー140keV、ドーズ量 $1 \times 10^{12} \text{ cm}^{-2}$ の条件で注入して、N型ウェル領域15を形成する。また、しきい値制御用のボロンイオン ( $B^+$ ) を注入エネルギーが20keV、ドーズ量 $6 \times 10^{12} \text{ cm}^{-2}$ の条件で注入し、パンチスルーストッパー用のヒ素イオン ( $As^+$ ) を、注入エネルギー300keV、ドーズ量 $4 \times 10^{12} \text{ cm}^{-2}$ の条件で注入する。これにより、いわゆるベリッド型のチャネル領域を形成する。もしくは、サーフェース型PMOSFETの場合には、しきい値制御用のイオン注入を、リンイオン ( $P^+$ )、注入エネルギー50keV、ドーズ量 $5 \times 10^{12} \text{ cm}^{-2}$ の条件で行なう。

#### 【0078】

次に、図4 (b) に示す工程で、RCA洗浄によりフォトレジスト膜 $P_{r1}$ を除去する。つまり、硫酸と過酸化水素溶液との混合液やフッ酸を用いてフォトレジスト膜の除去と基板の洗浄とを行なう。このとき、主としてRCA洗浄によって保護酸化膜13がエッチングされて、全体的に厚みが薄くなりかつ不均一になる。そこで、図4 (c) に示す工程で、図1に示すプラズマ装置を用い、酸素を含む雰囲気中、基板温度180℃、バイアスパワー1000Wの条件で5分間バイアスパラズマ処理を行なう。この処理によって、厚みが約10nmのほぼ均一な膜に修復された保護酸化膜13aが形成される。すなわち、図2および図3からわかるように、バイアスパラズマ処理によって形成される酸化膜の厚みは、バイアスパワーによって決定される一定の飽和値になることから、このようなほぼ

均一な厚みを有する保護酸化膜 13a に修復することができる。ただし、ここでのバイアスプラズマ処理は 300℃ 程度の高温で行なってもよい。

## 【0079】

次に、図 4 (d) に示す工程で、フォトリソグラフィ工程により、基板上に、PMOSFET 形成領域  $R_p$  を覆い、NMOSFET 形成領域  $R_n$  を開口したフォトレジスト膜  $P_r2$  を形成する。そして、Si 基板 11 のうちフォトレジスト膜  $P_r2$  の開口部に位置する領域 (NMOSFET 形成領域  $R_n$ ) 内に、注入エネルギー 280 keV, ドーズ量  $1 \times 10^{13} \text{ cm}^{-2}$  の条件で、ボロンオン ( $B^+$ ) を注入して、P 型ウェル領域 16 を形成する。また、しきい値制御用のボロンイオン ( $B^+$ ) を注入エネルギーが 30 keV, ドーズ量  $6 \times 10^{12} \text{ cm}^{-2}$  の条件で注入する。これにより、いわゆるサーフェース型のチャネル領域を形成する。

## 【0080】

次に、図 5 (a) に示す工程で、RCA 洗浄によりフォトレジスト膜  $P_r2$  を除去した後、保護酸化膜 13a を除去してから、酸素 (又は酸素および窒素) を含む雰囲気中、基板温度 180℃, バイアスパワー 1000W の条件で 5 分間バイアスプラズマ処理を行なうと、活性領域における Si 基板 11 上に、厚みが約 6 nm の酸化膜 (又は酸窒化膜) からなるゲート絶縁膜 17a, 17b を形成する。このとき、バイアスプラズマ処理によって形成される絶縁膜は下地の Si 層 (ウェル領域 15, 16) の不純物の種類によらずにほぼ一定の値に飽和するので、約 6 nm の均一な厚みを有するゲート絶縁膜 17a, 17b が形成される。

## 【0081】

次に、図 5 (b) に示す工程で、基板上に厚みが約 200 nm のゲート電極用ポリシリコン膜 18 を堆積した後、ポリシリコン膜 18 の上に、NMOSFET 形成領域  $R_n$  を覆い、PMOSFET 形成領域  $R_p$  を開口したフォトレジスト膜  $P_r3$  を形成する。そして、ポリシリコン膜 18 のうちフォトレジスト膜  $P_r3$  の開口部に位置する領域 (PMOSFET 形成領域  $R_p$ ) 内にボロンイオン ( $B^+$ ) を、注入エネルギー 5 keV, ドーズ量  $3 \times 10^{15} \text{ cm}^{-2}$  の条件で注入する。

## 【0082】

同様に、図5(c)に示す工程で、RCA洗浄により、フォトリソグレイ膜Pr3を除去した後、フォトリソグレイ工程により、ポリシリコン膜18の上に、PMOSFET形成領域Rpを覆い、NMOSFET形成領域Rnを開口したフォトリソグレイ膜Pr4を形成する。そして、ポリシリコン膜18のうちフォトリソグレイ膜Pr4の開口部に位置する領域(NMOSFET形成領域Rn)内にリンイオン(P<sup>+</sup>)を、注入エネルギー15keV、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ の条件で注入する。

## 【0083】

次に、図5(d)に示す工程で、RCA洗浄により、フォトリソグレイ膜Pr4を除去した後、ポリシリコン膜18内に注入した不純物を活性化するための熱処理を行なう。これにより、PMOSFET形成領域RpにはP型ポリシリコン膜18pが、NMOSFET形成領域RnにはN型ポリシリコン膜18nが形成される。このとき、RCA洗浄や炉前洗浄によってP型ポリシリコン膜18pとN型ポリシリコン膜18nとがエッチングされるが、上述のように両者のエッチング速度が異なることから両者間には急峻な段差が生じている。

## 【0084】

次に、図6(a)に示す工程で、酸素を含む雰囲気中、基板温度180℃、バイアスパワー1800Wの条件で1分間ないし5分間バイアスパズマ処理を行なって、ポリシリコン膜18p、18n全体の表面を酸化することにより、厚みが約10nmの酸化膜19を形成する。ここでのバイアスパズマ処理も、300℃程度の温度で行なってもよい。

## 【0085】

次に、図6(b)に示す工程で、エッチングにより酸化膜19を除去すると、P型ポリシリコン膜18pとN型ポリシリコン膜18nとの境界に存在していた急峻な段差が丸められて消滅する。

## 【0086】

次に、図6(c)に示す工程で、フォトリソグレイによりゲート形成領域を覆うフォトリソグレイ膜Pr5を形成した後、フォトリソグレイ膜Pr5をマスク

とするドライエッチングにより、P型ポリシリコン膜18pおよびN型ポリシリコン膜18nをパターニングして、PMOSFETのゲート電極18aとNMOSFETのゲート電極18bとをそれぞれ形成する。このとき、ポリシリコン膜18p、18nの除去が完了したと判断された時点では、ゲート絶縁膜17a、17b上にはポリシリコン膜18p、18nのエッチング残り18xが点在している。そこで、フォトリジスト膜Pr5を付けたままで、酸素（又は酸素および窒素）を含む雰囲気中、基板温度180℃、バイアスパワー1000Wの条件で5分間バイアスパズマ処理を行なって点在しているエッチング残り18xを酸化膜（又は酸窒化膜）に変える。

## 【0087】

次に、図6（d）に示す工程で、フォトリジスト膜Pr5を除去した後、ドライエッチングにより、ゲート絶縁膜17a、17bのうちゲート電極18a又は18bによって覆われていない部分を除去する。なお、フォトリジスト膜Pr5を除去した後、上述のバイアスパズマ処理によるエッチング残り18xの酸化を行ってもよい。

## 【0088】

次に、図7（a）に示す工程で、図示しないが、NMOSFET形成領域Rnを覆い、PMOSFET形成領域Rpを開口したフォトリジスト膜を形成した後、このフォトリジスト膜およびPMOSFETのゲート電極18aをマスクとするP型不純物のイオン注入により、PMOSFETの低濃度ソース・ドレイン領域19を形成する。次に、PMOSFET形成領域Rpを覆い、NMOSFET形成領域Rnを開口したフォトリジスト膜を形成した後、このフォトリジスト膜およびNMOSFETのゲート電極18bをマスクとするN型不純物のイオン注入により、NMOSFETの低濃度ソース・ドレイン領域20を形成する。このとき、フォトリジスト膜の形成前にバイアスパズマ処理を行なって薄い酸化膜を形成し、イオン注入後にフォトリジスト膜を除去することが好ましい。

## 【0089】

次に、図7（b）に示す工程で、基板上にシリコン酸化膜を堆積した後、これをエッチバックして、各MOSFETのゲート電極18a、18bの側面に酸化



膜サイドウォール 23a, 23b を形成する。その後、図示しないが、NMOSFET 形成領域  $R_n$  を覆い、PMOSFET 形成領域  $R_p$  を開口したフォトリソ膜を形成した後、このフォトリソ膜、PMOSFET のゲート電極 18a および酸化膜サイドウォール 23a をマスクとする P 型不純物のイオン注入により、PMOSFET の高濃度ソース・ドレイン領域 21 を形成する。次に、PMOSFET 形成領域  $R_p$  を覆い、NMOSFET 形成領域  $R_n$  を開口したフォトリソ膜を形成した後、このフォトリソ膜、NMOSFET のゲート電極 18b および酸化膜サイドウォール 23b をマスクとする N 型不純物のイオン注入により、NMOSFET の高濃度ソース・ドレイン領域 22 を形成する。このとき、フォトリソ膜の形成前にバイアスプラズマ処理を行なって薄い酸化膜を形成しておくことが好ましい。このように、イオン注入前にゲート電極をプラズマ酸化して、薄い酸化膜を形成しておくことにより、注入イオンのゲート電極の突抜を防止することができる。

## 【0090】

次に、図 7 (c) に示す工程で、基板上に厚みが約 8 nm の Co 膜 24 を堆積した後、500℃、60 秒間の熱処理を行なって、互いに接触している部分において Co 膜と Si 基板 11, ゲート電極 18a, 18b とを反応させて CoSi 膜 (モノシリサイド膜) を形成する。このとき、ゲート電極 18a, 18b や Si 基板 11 の表面上に 1 nm 程度のバイアスプラズマ処理による酸化膜が残っていてもよい。この酸化膜が残っていることにより、ポリシリコンの界面に沿ったコバルトの異常拡散がなくなり、均一な  $CoSi_2$  を形成できる利点がある。

## 【0091】

その後、図 7 (d) に示す工程で、未反応の Co 膜 24 を除去した後、さらに、800℃、10 秒間の熱処理を行なって、結晶構造を  $CoSi_2$  に変えることにより、各ゲート電極 18a, 18b および高濃度ソース・ドレイン領域 21, 22 の上部に低抵抗のシリサイド層 25a~25c を形成する。

## 【0092】

本実施形態においては、半導体装置の製造工程の各部において、バイアスプラズマ処理による酸化膜 (又は酸窒化膜) を形成しているので、以下のような効果

を発揮することができる。

#### 【0093】

第1に、図5(a)に示す工程で、バイアスプラズマ処理によって酸化膜（又は酸窒化膜）からなるゲート絶縁膜17a、17bを形成しているので、PMOSFETのゲート絶縁膜17aとNMOSFETのゲート絶縁膜17bとの厚みを互いにほぼ一致させることができる。これは、バイアスプラズマ処理によって形成される酸化膜（又は酸窒化膜）の厚みは、下地のSi層に導入されている不純物の導電型にはほとんど影響を受けないからである。しかも、バイアスプラズマ処理は、180℃という低温で行なわれているので、P型ウェル領域16におけるNMOSFETのしきい値電圧を制御するための不純物濃度プロファイルや、N型ウェル領域15におけるPMOSFETのしきい値電圧を制御するための不純物濃度プロファイルを変化させない。したがって、従来生じていたようなMOSFETのショートチャネル効果の助長、NMOSFETとPMOSFETとのしきい値電圧のバラツキの増大、オフリーク電流の増大などの不具合が生じていた。また、このバイアスプラズマ処理によって形成された酸化膜は、熱酸化膜に比べてほぼ同等の信頼性を有している。

#### 【0094】

図8は、本実施形態におけるバイアスプラズマ処理によって形成された酸化膜をゲート絶縁膜として有するPMOSFETに対するQBD評価結果を示す図である。図9は、従来の熱酸化膜（900℃のパイロ酸化）をゲート絶縁膜として有するPMOSFETに対するQBD評価結果を示す図である。図8および図9を比較するとわかるように、180℃で形成した本実施形態のバイアスプラズマ酸化膜と、900℃パイロ酸化処理により形成した熱酸化膜とは互いにほぼ同等の信頼性を有する。

#### 【0095】

第2に、図4(c)に示すように、イオン注入やRCA洗浄によって厚みが不均一になった保護酸化膜13に対してバイアスプラズマ処理による修復を行なって、厚みがほぼ均一な保護酸化膜13aにしてから、しきい値制御のための不純物イオンの注入を行なっているので、NMOSFETのしきい値電圧のばらつき

を抑制することができる。特に、PMOSFETは、不純物の濃度変化に対するしきい値の変化が大きいので、本発明を適用することの効果大きい。

## 【0096】

なお、最近のDRAM・ロジック混載デバイスのように、いわゆるシステムLSIと呼ばれる半導体装置においては、多種のトランジスタが搭載されるので、多種のトランジスタへのイオン注入のために多数回のフォトリソグラフィ工程によって、フォトレジストマスクの形成と除去とが繰り返される。したがって、本実施形態のごとく、フォトレジスト除去のためのRCA洗浄の後に、その都度バイアスプラズマ処理による酸化膜の修復を行なうことにより、多種のトランジスタのしきい値を精度よく制御することができるという著効を発揮することができる。

## 【0097】

第3に、図6(c)，(d)に示す工程で、ポリシリコン膜18をパターニングして、ゲート電極18a，18bを形成する際に、ポリシリコン膜のエッチング終了時期を検知した状態で、ゲート絶縁膜17a，17bなどの上に存在しているエッチング残り18xをバイアスプラズマ処理によって酸化しているので、ゲート絶縁膜17a，17bの除去の際にエッチング残り18xによるエッチングのぼらつきを生じることなくオーバーエッチングを行なうことができる。すなわち、ゲート酸化膜が薄膜化(数nm)されても、活性領域の表面の荒れを抑制することができるので、図7(c)，(d)に示すサリサイド工程において良好なシリサイド層を形成することが可能となる。

## 【0098】

第4に、図6(a)に示すように、フォトレジスト膜Pr4を除去する際や炉前洗浄の際に、P型ポリシリコン膜108pとN型ポリシリコン膜108nとの境界に生じた段差を、バイアスプラズマ処理による酸化膜19によって丸めているので、以下のようにCMOSインバータのPMOSFETのゲート電極18aとNMOSFETのゲート電極18bとの間の抵抗の増大という不具合を解消することができる。

## 【0099】

図10 (a) ~ (e) は、図6 (a) に示す断面に直交する断面 (図19 (d) のXX-XX 線断面) におけるゲート電極18a, 18bの構造のみを抜き出して、バイアスプラズマ処理工程およびシリサイド化工程を示す断面図である。

#### 【0100】

図10 (a) に示すように、フォトレジスト膜Pr4を除去する際や炉前洗浄の際に、P型ポリシリコン膜18aとN型ポリシリコン膜18bとの境界に生じた段差を、図10 (b) に示すバイアスプラズマ処理による酸化膜19によって丸めている。その際、熱酸化法のように高温での熱処理を行なわないので、ポリシリコン膜18a, 18b中の不純物の分布状態に悪影響を及ぼすことはない。

#### 【0101】

したがって、図10 (c) に示すように、その後図6 (c), (d) に示す工程によりポリシリコン膜をパターニングして形成されたゲート電極18a, 18bの間には、急峻な段差が存在していない。したがって、図7 (c) に示す工程においては、図10 (d) に示すごとく、ゲート電極18a, 18bを構成するポリシリコン膜全体にほぼ均一な厚みのC<sub>o</sub>膜24が堆積される。そして、図7 (d) に示す工程においては、図10 (e) に示すごとく、ほぼ均一な厚みのC<sub>o</sub>Si<sub>2</sub>膜25a, 25bが形成されることになる。よって、CMOSインバータのNMOSFETのゲート電極18bに電圧を印加すれば、PMOSFETのゲート電極18aにもほぼ同じ電圧を印加することができる。

#### 【0102】

なお、ポリシリコン膜に変えてアモルファスシリコン膜を堆積してもよい。その場合、後の熱処理によってポリシリコン膜に変化するとしても、バイアスプラズマ処理を行なう際にはアモルファスシリコン膜であってもよい。

#### 【0103】

なお、図5 (a) に示す工程では、バイアスプラズマ処理によって酸化膜を形成した後、ゲート電極用ポリシリコン膜を堆積する前に熱処理を加えることにより、バイアスプラズマによって形成された酸化膜等の均質化や酸化膜等の表面のカーボンの汚染を除去することができ、酸化膜等の信頼性が向上する。

#### 【0104】

また、バイアスプラズマ処理の雰囲気として酸素および窒素を含む雰囲気とする場合には、 $O_2$  ガスに  $N_2$ 、 $O$ 、 $N_2$ 、 $NO$  等のガスを混入させた雰囲気とすればよい。このような窒素を混入した雰囲気でバイアスプラズマ処理を行なうことにより、酸化膜中、又は  $Si$  基板と酸化膜との界面に存在する  $Si$  未結合手に窒素を結合させて、酸窒化膜を形成することができる。これにより、比較的窒素が均一に分布した酸窒化膜が得られるので、これをゲート絶縁膜として利用すると、ゲート電極からの不純物、特にボロンの  $Si$  基板への突き抜けに起因するしきい値電圧のばらつきを阻止する機能の向上を図ることができる利点がある。上述の窒素を含むガスのうちでも、 $NO$  ガス分子がもっとも小さく、膜中に窒素原子が導入されやすいことから、 $NO$  ガスを用いることがより好ましいといえる。酸窒化膜は、ボロンの拡散を防止する働きがあり、しきい値電圧のバラツキを抑制することができる。

#### 【0105】

なお、STI (Shallow Trench Isolation) 構造を有する MOSFET においては、ゲート酸化膜を熱処理により形成すると下地の  $Si$  基板の面方位によりゲート酸化膜厚が異なる。ここで、STI のエッジ部分の  $Si$  基板面の方位は (111) であり、その部分の酸化膜厚は薄くなる。そのため、ゲート電極に電圧を印加すると酸化膜が薄い STI のエッジ部分に電界が集中しゲート酸化膜の信頼性を悪化させる。しかし、本発明のバイアスプラズマ処理によって形成された酸化膜は膜厚の  $Si$  基板の面方位依存性がないため、シンニングによるゲート酸化膜の信頼性低下はない利点も有する。

#### 【0106】

##### (第2の実施形態)

図 11 (a) ~ (d) および図 12 (a) ~ (c) は、ポリメタルゲート又はポリサイドゲート構造を有する第 2 の実施形態の CMOS デバイスの製造工程を示す断面図である。本実施形態においては、ゲート絶縁膜やゲート電極のパターニングが終了した時点から説明し、それまでの工程の図示および説明は省略するが、図 11 (a) に示す工程に至るまでに、第 1 の実施形態における図 4 (a) ~ (d) などに示す工程に準じたバイアスプラズマ処理を含む工程を行なっても

よいし、従来の製造工程のごとく、本発明のバイアスプラズマ処理を含まない工程を行なってもよいものとする。

## 【0107】

図11(a)に示す工程では、Si基板11上には、PMOSFET形成領域RpとPMOSFET形成領域Rnとを区画するためのトレンチ分離領域12が形成されている。PMOSFET形成領域Rpには、N型ウエル領域15と、ゲート絶縁膜17aと、ポリシリコンからなる下部電極27aと、タングステンやチタンシリサイドなどの金属からなる上部電極28aと、酸化シリコンからなるゲート上保護膜29aとが形成されており、下部電極27aおよび上部電極28aによってポリメタル構造のゲート電極30aが構成されている。NMOSFET形成領域Rnには、P型ウエル領域16と、ゲート絶縁膜17bと、ポリシリコンからなる下部電極27bと、タングステンやチタンシリサイドなどの金属からなる上部電極28bと、酸化シリコンからなるゲート上保護膜29bとが形成されており、下部電極27bおよび上部電極28bによってポリメタル構造のゲート電極30bが構成されている。このポリメタル構造のゲート電極30a、30b等は、基板上に、ポリシリコン膜とタングステン膜等とシリコン酸化膜とを順次堆積した後、フォトリソグラフィにより、ゲート形成領域を覆うフォトレジスト膜Pr6を形成し、このフォトレジスト膜Pr6をマスクとするドライエッチングにより形成されたものである。

## 【0108】

次に、図11(b)に示す工程で、フォトレジスト膜Pr6を付けたままで、酸素（又は酸素および窒素）を含む雰囲気中、基板温度180℃、バイアスパワー1000Wの条件で5分間バイアスプラズマ処理を行なって、活性領域に露出しているSi基板11の表面から下部電極27a、27bの側面に亘って、厚みが約6nmの酸化膜（又は酸窒化膜）からなる汚染保護用絶縁膜31を形成する。

## 【0109】

次に、図11(c)に示す工程で、RCA洗浄によりフォトレジスト膜Pr6を除去する。このとき、タングステン等の金属によって構成されている下部電極

27a, 27bの側面がエッチングされて後退する。ただし、活性領域におけるSi基板11の表面は汚染保護用絶縁膜31によって覆われているので、下部電極27a, 27bのエッチングによってRCA洗浄の際の洗浄液に溶け込んだ金属イオンがSi基板11内に侵入するのが阻止される。

#### 【0110】

次に、図11(d)に示す工程で、NMOSFET形成領域R<sub>n</sub>を覆い、PMOSFET形成領域R<sub>p</sub>を開口したフォトリソ膜Pr7を形成した後、このフォトリソ膜Pr7およびPMOSFETのゲート電極30aなどをマスクとするP型不純物のイオン注入により、PMOSFETの低濃度ソース・ドレイン領域19を形成する。その後、RCA洗浄によりフォトリソ膜Pr7を除去する。その際、RCA洗浄によって、汚染保護用絶縁膜31もエッチング作用を受けるので、フォトリソ膜Pr7を除去した後、バイアスプラズマ処理を行なって、汚染保護用絶縁膜31の厚みを元の厚みに回復させておくことが好ましい。

#### 【0111】

次に、図12(a)に示す工程で、PMOSFET形成領域R<sub>p</sub>を覆い、NMOSFET形成領域R<sub>n</sub>を開口したフォトリソ膜Pr8を形成した後、このフォトリソ膜Pr8およびNMOSFETのゲート電極30bなどをマスクとするN型不純物のイオン注入により、NMOSFETの低濃度ソース・ドレイン領域20を形成する。その後、RCA洗浄によりフォトリソ膜Pr8を除去する。その際、RCA洗浄によって、汚染保護用絶縁膜31もエッチング作用を受けるので、フォトリソ膜Pr8を除去した後、バイアスプラズマ処理を行なって、汚染保護用絶縁膜31の厚みを元の厚みに回復させておくことが好ましい。

#### 【0112】

次に、図12(b)に示す工程で、基板上にシリコン酸化膜32を堆積した後、図12(c)に示す工程で、これをエッチバックして、各MOSFETのゲート上保護膜29a, 29bおよびゲート電極30a, 30bの側面に酸化膜サイドウォール32a, 32bを形成する。その後、図示しないが、NMOSFET

形成領域 $R_n$ を覆い、PMOSFET形成領域 $R_p$ を開口したフォトリジスト膜を形成した後、このフォトリジスト膜、PMOSFETのゲート電極30aおよび酸化膜サイドウォール32aをマスクとするP型不純物のイオン注入により、PMOSFETの高濃度ソース・ドレイン領域21を形成する。次に、PMOSFET形成領域 $R_p$ を覆い、NMOSFET形成領域 $R_n$ を開口したフォトリジスト膜を形成した後、このフォトリジスト膜、NMOSFETのゲート電極30bおよび酸化膜サイドウォール32bをマスクとするN型不純物のイオン注入により、NMOSFETの高濃度ソース・ドレイン領域22を形成する。

## 【0113】

その後、高濃度ソース・ドレイン領域21、22上の汚染保護用絶縁膜31を除去してから、Co等のリフラクトリ金属膜の堆積、リフラクトリ金属とSi基板11との反応などの処理を行なって、高濃度ソース・ドレイン領域21、22の上部にシリサイド膜を形成することもできる。

## 【0114】

本実施形態の製造方法によると、図11(c)に示すように、フォトリジスト膜Pr6をRCA洗浄により除去する前に、フォトリジスト膜Pr6を付けた状態でバイアスプラズマ処理によって汚染保護用絶縁膜31を形成しているので、その後、図11(c)に示す工程で、フォトリジスト膜Pr6を除去する際に下部電極27a、27bがエッチングされても、Si基板11に下部電極27a、27bを構成する金属イオンが侵入するのを抑制することができる。したがって、Si基板11内への金属イオンの侵入に起因する接合リークを効果的に抑制することができる。このとき、バイアスプラズマ処理は、200℃以下の低温で行なわれるので、フォトリジスト膜Pr6を除去する必要があることが、バイアスプラズマ処理の重要な特徴である。つまり、フォトリジスト膜Pr6の除去に伴う異物の発生を招くことなく、Si基板11の表面を保護するための汚染保護用絶縁膜31を形成することができる。

## 【0115】

また、バイアスプラズマ処理による低温での酸化処理を行なっているので、フォトリジスト膜を除去する際のRCA洗浄によってソース・ドレイン領域がエッ



チングされてシート抵抗が増大するのを確実に防止することができる。

【0116】

しかも、バイアスプラズマ処理は、200℃以下の低温で行なわれるので、金属で構成されている上部電極28a、28bの酸化を招くこともない。

【0117】

なお、バイアスプラズマ処理は低温でおこなわれるため、ウェル注入等のバイアスプラズマ処理前に形成された接合プロファイルは変化しないという利点もある。

【0118】

なお、本発明は、ポリメタル構造のゲート電極、ポリサイド構造のゲート電極、メタル構造のゲート電極など、金属を含むゲート電極を有するすべての種類の半導体装置の製造に適用することができる。

【0119】

(第3の実施形態)

図13(a)～(c)および図14(a)～(c)は、サリサイド構造を有する第3の実施形態のCMOSデバイスの製造工程を示す断面図である。本実施形態においては、ゲート絶縁膜やゲート電極のパターニングが終了した時点から説明し、それまでの工程の図示および説明は省略するが、図13(a)に示す工程に至るまでに、第1の実施形態における図4(a)～(d)などに示す工程に準じたバイアスプラズマ処理を含む工程を行なってもよいし、従来の製造工程のごとく、本発明のバイアスプラズマ処理を含まない工程を行なってもよいものとする。

【0120】

図13(a)に示す工程では、Si基板11上には、PMOSFET形成領域RpとPMOSFET形成領域Rnとを区画するためのトレンチ分離領域12が形成されている。PMOSFET形成領域Rpには、N型ウェル領域15と、ゲート絶縁膜17aと、ポリシリコンからなるゲート電極18aとが形成されている。NMOSFET形成領域Rnには、P型ウェル領域16と、ゲート絶縁膜17bと、ポリシリコンからなるゲート電極18bとが形成されている。

## 【0121】

次に、図13(b)に示す工程で、酸素を含む雰囲気中、基板温度180℃、バイアスパワー1000Wの条件で5分間バイアスパラズマ処理を行なって、活性領域に露出しているSi基板11の表面からゲート電極18a, 18bの側面および上面に亘って、厚みが約6nmの被覆酸化膜35を形成する。ただし、ここでのバイアスパラズマ処理は、300℃程度の温度で行なってもよい。

## 【0122】

次に、図13(c)に示す工程で、NMOSFET形成領域R<sub>n</sub>を覆い、PMOSFET形成領域R<sub>p</sub>を開口したフォトレジスト膜Pr9を形成した後、このフォトレジスト膜Pr9およびPMOSFETのゲート電極18aをマスクとして、注入エネルギー8keV、ドーズ量 $1 \times 10^{13} \sim 1 \times 10^{14} \text{ cm}^{-2}$ の条件で、フッ化ボロン(BF<sub>2</sub><sup>+</sup>) (又はボロンB<sup>+</sup>)のイオン注入を行なって、PMOSFETの低濃度ソース・ドレイン領域19を形成する。その後、フォトレジスト膜Pr9をRCA洗浄によって除去する。その際、低濃度ソース・ドレイン領域19は被覆絶縁膜35で覆われているのでエッチングを受けることがなく、低濃度ソース・ドレイン領域19の抵抗の上昇を防止することができる。その後、RCA洗浄により、フォトレジスト膜Pr9を除去する。ただし、フォトレジスト膜Pr9を除去した直後に、バイアスパラズマ処理を行なって、被覆酸化膜35の厚みを元の厚みに回復させておくことが好ましい。RCA洗浄の際に、被覆酸化膜35がエッチング作用を受けるからである。

## 【0123】

次に、図14(a)に示す工程で、PMOSFET形成領域R<sub>p</sub>を覆い、NMOSFET形成領域R<sub>n</sub>を開口したフォトレジスト膜Pr10を形成した後、このフォトレジスト膜Pr10およびNMOSFETのゲート電極18bをマスクとして、注入エネルギー10keV、ドーズ量 $1 \times 10^{13} \sim 1 \times 10^{14} \text{ cm}^{-2}$ の条件で、ヒ素(As<sup>+</sup>) (又はリンP<sup>+</sup>)のイオン注入を行なって、NMOSFETの低濃度ソース・ドレイン領域20を形成する。その後、RCA洗浄により、フォトレジスト膜Pr10を除去する。その後、電気炉投入前には、また、パーティクル除去のためのRCA洗浄を行なう。ただし、フォトレジスト膜Pr1

0を除去した後、パーティクル除去のための洗浄を行なう前にバイアスプラズマ処理を行なって、被覆酸化膜35の厚みを元の厚みに回復させておくことが好ましい。RCA洗浄の際に、被覆酸化膜35がエッチング作用を受けるからである。

#### 【0124】

次に、図14(b)に示す工程で、パーティクル除去の目的で洗浄工程を施した後、被覆酸化膜35を除去した後、基板上にシリコン酸化膜32を堆積する。このとき、パーティクル除去の目的でRCA洗浄を施す際に半導体活性領域に被覆酸化膜がなくなりそうなときは、その洗浄前にバイアスプラズマ絶縁膜を形成しておく。

#### 【0125】

さらに、図14(c)に示す工程で、シリコン酸化膜32をエッチバックして、各MOSFETのゲート電極18a, 18bの側面に酸化膜サイドウォール32a, 32bを形成する。その後、図示しないが、NMOSFET形成領域 $R_n$ を覆い、PMOSFET形成領域 $R_p$ を開口したフォトリジスト膜を形成した後、このフォトリジスト膜、PMOSFETのゲート電極18aおよび酸化膜サイドウォール32aをマスクとするP型不純物のイオン注入により、PMOSFETの高濃度ソース・ドレイン領域21を形成する。次に、PMOSFET形成領域 $R_p$ を覆い、NMOSFET形成領域 $R_n$ を開口したフォトリジスト膜を形成した後、このフォトリジスト膜、NMOSFETのゲート電極18bおよび酸化膜サイドウォール32bをマスクとするN型不純物のイオン注入により、NMOSFETの高濃度ソース・ドレイン領域22を形成する。

#### 【0126】

この後、サリサイド工程を行なうが、この工程は、第1の実施形態で説明したとおりなので、図示および詳細な説明は省略する。

#### 【0127】

本実施形態によると、図13(b)に示す工程で、ゲート電極18a, 18bを覆う被覆絶縁膜35を形成する際に、バイアスプラズマ処理による低温での酸化処理を行なっているので、フォトリジスト膜を除去する際のRCA洗浄によっ

てソース・ドレイン領域がエッチングされて、シート抵抗が増大するのを確実に防止することができる。

#### 【0128】

しかも、従来の熱酸化法により酸化膜を形成する場合のごとく、900～1000℃の熱処理によってPMOSFETのゲート電極18aからボロンがゲート酸化膜17aを突き抜けてN型ウエル領域15に拡散するのを抑制することができる。また、STI構造において、高温の熱処理に起因する基板内の転位の発生などを招くこともない。すなわち、信頼性の低下や、PMOSFETのしきい値電圧のバラツキの増大を防止することができる。また、基板内の注入プロファイルの変化をも抑制することができる。

#### 【0129】

##### (第4の実施形態)

図15(a)～(c)は、本実施形態における半導体装置のトレンチ分離領域を形成する工程の一部を示す断面図である。

#### 【0130】

図15(a)に示す工程で、Si基板11の上にパッド酸化膜41とマスク用窒化膜42とを堆積した後、フォトリソグラフィにより、トレンチを形成しようとする領域を開口したフォトレジスト膜(図示せず)を形成し、このフォトレジスト膜をマスクとするエッチングにより、マスク用窒化膜42のうちトレンチを形成しようとする領域の上方に位置する部分を開口する。そして、フォトレジスト膜を除去した後、マスク用窒化膜42をマスクとするドライエッチングを行なって、Si基板11にトレンチ43を形成する。その後のRCA洗浄や希フッ酸エッチング(BHF)によって、パッド酸化膜44のうちトレンチ43の側壁に露出している部分がエッチング作用を受けるので、パッド酸化膜41が後退して空隙部44が形成される。

#### 【0131】

次に、図15(b)に示す工程で、図1に示すプラズマ装置を用い、酸素を含む雰囲気中、基板温度180℃、バイアスパワー1000Wの条件で5分間バイアスプラズマ処理を行なう。この処理によって、トレンチ内の厚みが約10nm

の電界緩和用酸化膜 45 が形成される。そして、この電界緩和用酸化膜 45 により、Si 基板 11 のトレンチ 43 内に露出している部分の上端部の急峻なエッジが丸められ、ここの形成される MOSFET の電界集中に起因するゲート絶縁膜の破壊やハンプ現象などを抑制することができる。

#### 【0132】

次に、図 15 (c) に示す工程で、基板の全面上に CVD 酸化膜を堆積した後、これをエッチバックすることにより、トレンチ内に CVD 酸化膜を埋め込んでトレンチ分離領域 46 を形成する。

#### 【0133】

本実施形態によると、バイアスプラズマ処理によって電界緩和用酸化膜 45 を形成しているので、従来の熱酸化法による酸化膜のごとく、パッド酸化膜やマスク用窒化膜の形状の影響を受けることがなく、電界を緩和するためのエッジのまるめ形状が良好になる。また、200℃以下の低温下におけるバイアスプラズマ処理によって電界緩和用酸化膜 45 を形成しているので、酸化膜 45 の形成に起因する応力の発生を抑制することができる。したがって、Si 基板 11 中における転位等の欠陥の発生を抑制することができる。

#### 【0134】

なお、バイアスプラズマ処理による電界緩和用酸化膜 45 を形成した後に、熱酸化による追加酸化を行なって、その後、CVD 酸化膜をトレンチ内に埋め込んでもよい。その場合にも、バイアスプラズマ処理によってトレンチ内における Si 基板 11 のエッジ部は丸められているので、熱酸化法による追加酸化を行っても、ホーン現象は生じない。

#### 【0135】

なお、上記各実施形態においては、バイアスプラズマ処理によって Si 層の表面を酸化（又は酸窒化）することのみについて説明したが、本発明はかかる実施形態に限定されるものではない。たとえば、Ge 層、SiGe 層、SiGeC 層、GaAs 層、AlGaAs 層など、各種半導体層にバイアスプラズマ処理を施して、酸化膜又は酸窒化膜を形成することによっても、上記各実施形態と同様の効果を発揮することができる。

【0 1 3 6】

また、S O I 基板における S T I の溝を形成した後にプラズマ酸化膜を形成してもよい。

【0 1 3 7】

【発明の効果】

本発明の絶縁膜の形成方法又はこれを利用した半導体装置の製造方法によると、バイアスが付加されたプラズマを用いて、半導体を低温で酸化することによって絶縁膜を形成するようにしたので、絶縁膜の厚みの均一化や、フォトレジスト膜を付けたままでの絶縁膜の形成、修復、ポリシリコン膜の段差の緩和、トレンチ内の基板エッジの緩和などを可能とし、多岐に亘る効果を発揮することができる。

【図面の簡単な説明】

【図 1】

本発明の各実施形態において用いるバイアスプラズマ発生装置の構成を概略的に示す断面図である。

【図 2】

バイアスプラズマ処理を行なった結果、単結晶 S i 層の上に形成されたシリコン酸化膜の厚みの処理時間依存性を示すデータである。

【図 3】

予め初期酸化膜が形成されているウエハーにバイアスプラズマ処理を行なって得られる酸化膜厚みの増大量の初期酸化膜の厚みに対する依存性を示す図である。

【図 4】

( a ) ~ ( d ) は、トレンチ分離構造とデュアルゲート構造とを有する第 1 の実施形態の C M O S デバイスの製造工程のうちウエルまでの注入工程を示す断面図である。

【図 5】

( a ) ~ ( d ) は、トレンチ分離構造とデュアルゲート構造とを有する第 1 の実施形態の C M O S デバイスの製造工程のうちゲート用ポリシリコン膜への不純

物のイオン注入までの工程を示す断面図である。

【図 6】

(a) ~ (d) は、トレンチ分離構造とデュアルゲート構造とを有する第 1 の実施形態の CMOS デバイスの製造工程のうちゲート電極の形成までの工程を示す断面図である。

【図 7】

(a) ~ (d) は、トレンチ分離構造とデュアルゲート構造とを有する第 1 の実施形態の CMOS デバイスの製造工程のうちサリサイド工程までの工程を示す断面図である。

【図 8】

第 1 の本実施形態におけるバイアスプラズマ処理によって形成されたゲート絶縁膜を有する PMOSFET に対する QBD 評価結果を示す図である。

【図 9】

熱酸化膜 (900℃ のパイロ酸化) をゲート絶縁膜として有する従来の PMOSFET に対する QBD 評価結果を示す図である。

【図 10】

(a) ~ (e) は、図 6 (a) に示す断面に直交する断面におけるゲート電極の構造のみを抜き出して、バイアスプラズマ処理工程およびシリサイド化工程を示す断面図である。

【図 11】

(a) ~ (d) は、ポリメタルゲート構造などを有する第 2 の実施形態の CMOS デバイスの製造工程のうちの前半部分を示す断面図である。

【図 12】

(a) ~ (c) は、ポリメタルゲート構造などを有する第 2 の実施形態の CMOS デバイスの製造工程のうちの後半部分を示す断面図である。

【図 13】

(a) ~ (c) は、サリサイド構造を有する第 3 の実施形態の CMOS デバイスの製造工程のうちの前半部分を示す断面図である。

【図 14】

(a) ~ (c) は、サリサイド構造を有する第 3 の実施形態の CMOS デバイスの製造工程のうちの後半部分を示す断面図である。

【図 1 5】

(a) ~ (c) は、第 4 の実施形態における半導体装置のトレンチ分離領域を形成する工程の一部を示す断面図である。

【図 1 6】

(a) ~ (d) は、トレンチ分離構造とデュアルゲート構造とを有する従来の CMOS デバイスの製造工程の前半部分を示す断面図である。

【図 1 7】

(a) ~ (d) は、トレンチ分離構造とデュアルゲート構造とを有する従来の CMOS デバイスの製造工程のうちの後半部分を示す断面図である。

【図 1 8】

(a) ~ (d) は、ポリメタル構造を有する従来の CMOS デバイスの製造工程を示す断面図である。

【図 1 9】

(a) ~ (c) は、図 1 7 (d) に示す断面に直交する断面におけるゲート電極の構造のみを抜き出して、シリサイド化工程を示す断面図である。

【図 2 0】

従来の半導体装置である CMOS インバータのゲート電極およびその下方の部分を示す平面図である。

【図 2 1】

従来のトレンチ分離領域の形状を示す断面図である。

【符号の説明】

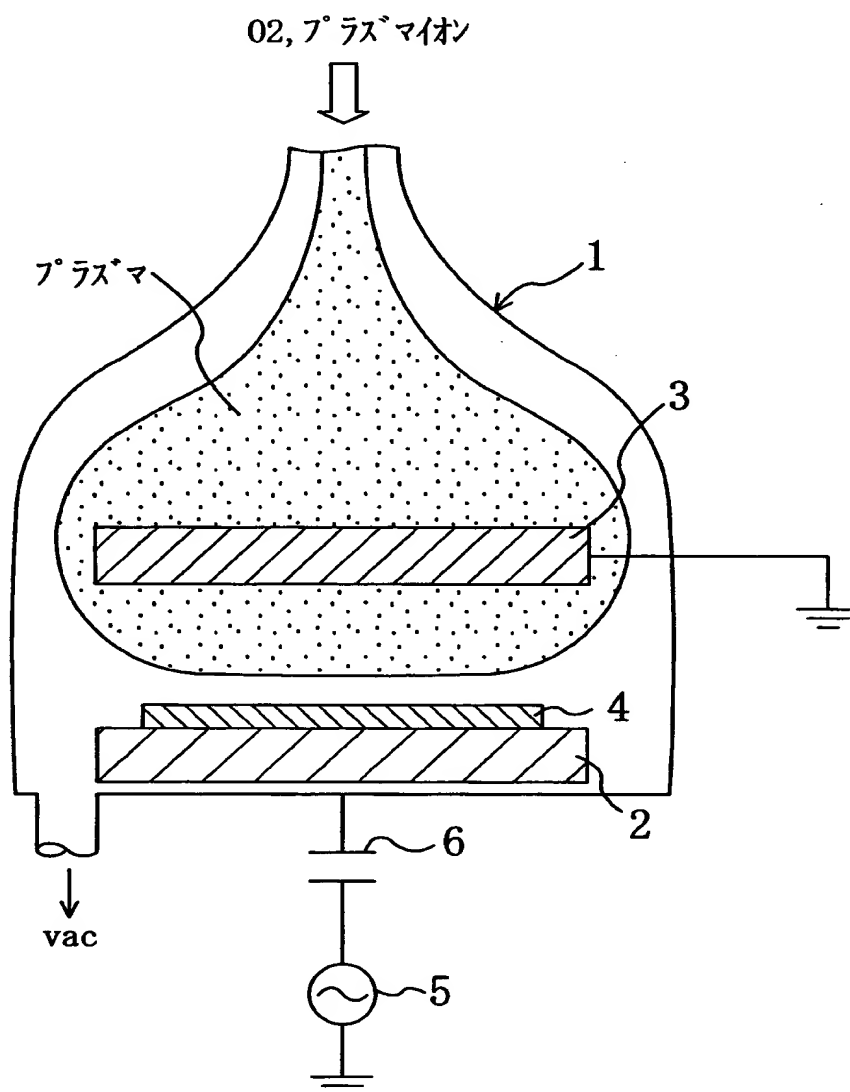
- 1     チャンバー
- 2     下部電極
- 3     バイアス電極
- 4     処理用ウェハー
- 5     高周波電源
- 6     コンデンサ



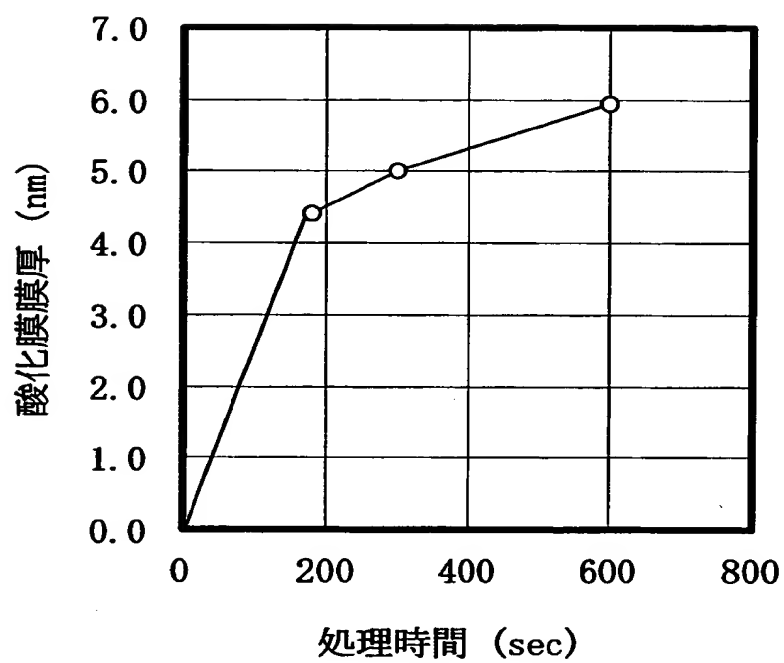
- 11 Si 基板
- 12 トレンチ分離領域
- 13 保護酸化膜
- 15 N型ウェル領域
- 16 P型ウェル領域
- 17 ゲート絶縁膜
- 18 ポリシリコン膜
- 19 低濃度ソース・ドレイン領域
- 20 低濃度ソース・ドレイン領域
- 21 高濃度ソース・ドレイン領域
- 22 高濃度ソース・ドレイン領域
- 23 a, 23 b 酸化膜サイドウォール
- 24 Co 膜
- 25 シリサイド層
- 27 上部電極
- 28 下部電極
- 29 ゲート上保護膜
- 30 ゲート電極
- 31 汚染保護用絶縁膜
- 32 シリコン酸化膜
- 32 a, 32 b 酸化膜サイドウォール
- 35 被覆絶縁膜
- 41 パッド酸化膜
- 42 マスク用窒化膜
- 43 トレンチ
- 44 空隙部
- 45 電界緩和用酸化膜
- 46 トレンチ分離領域

【書類名】 図面

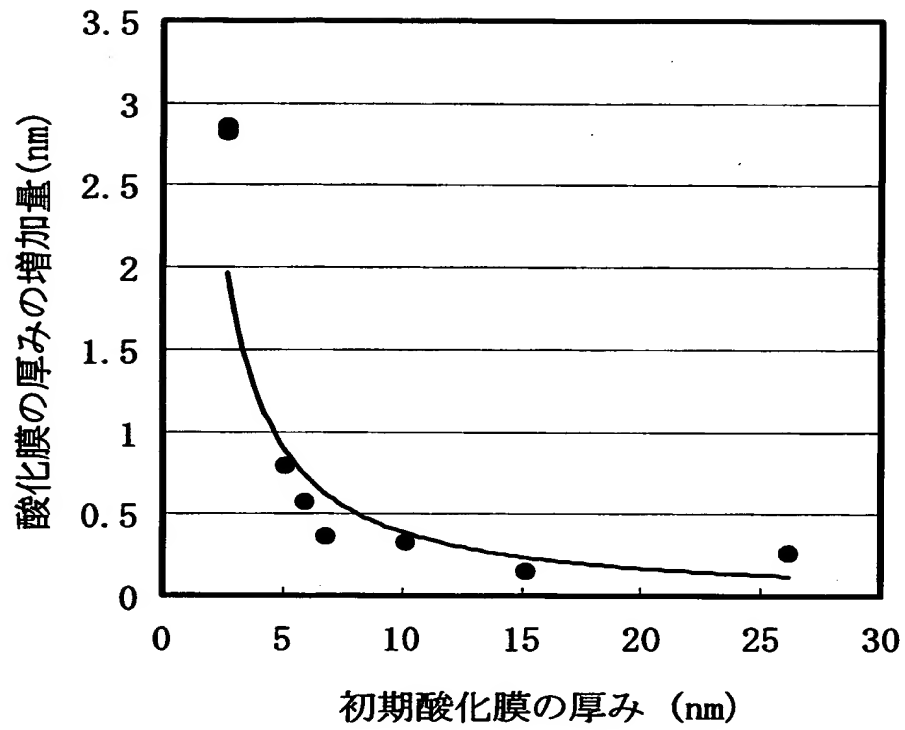
【図 1】



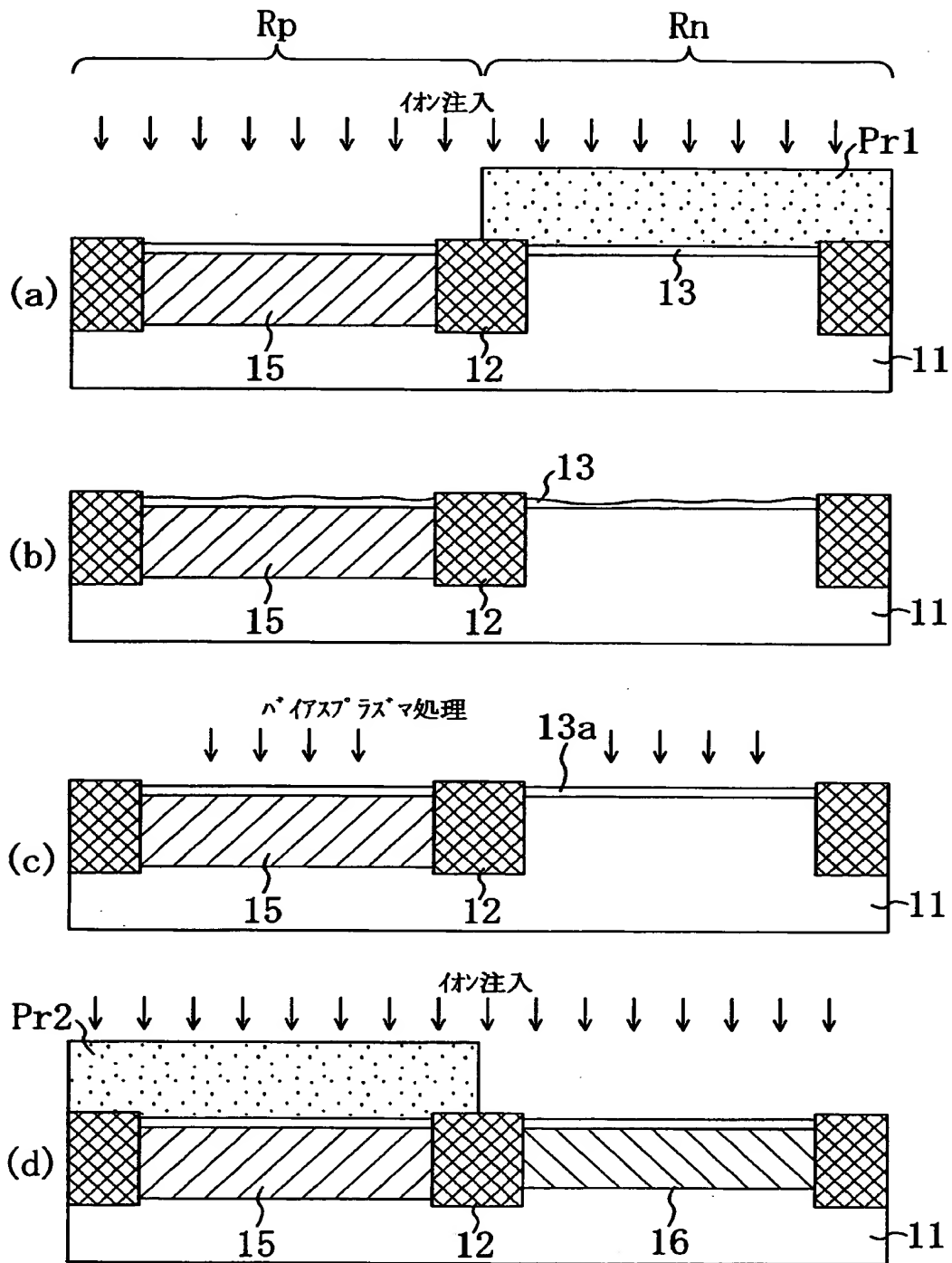
【图 2】



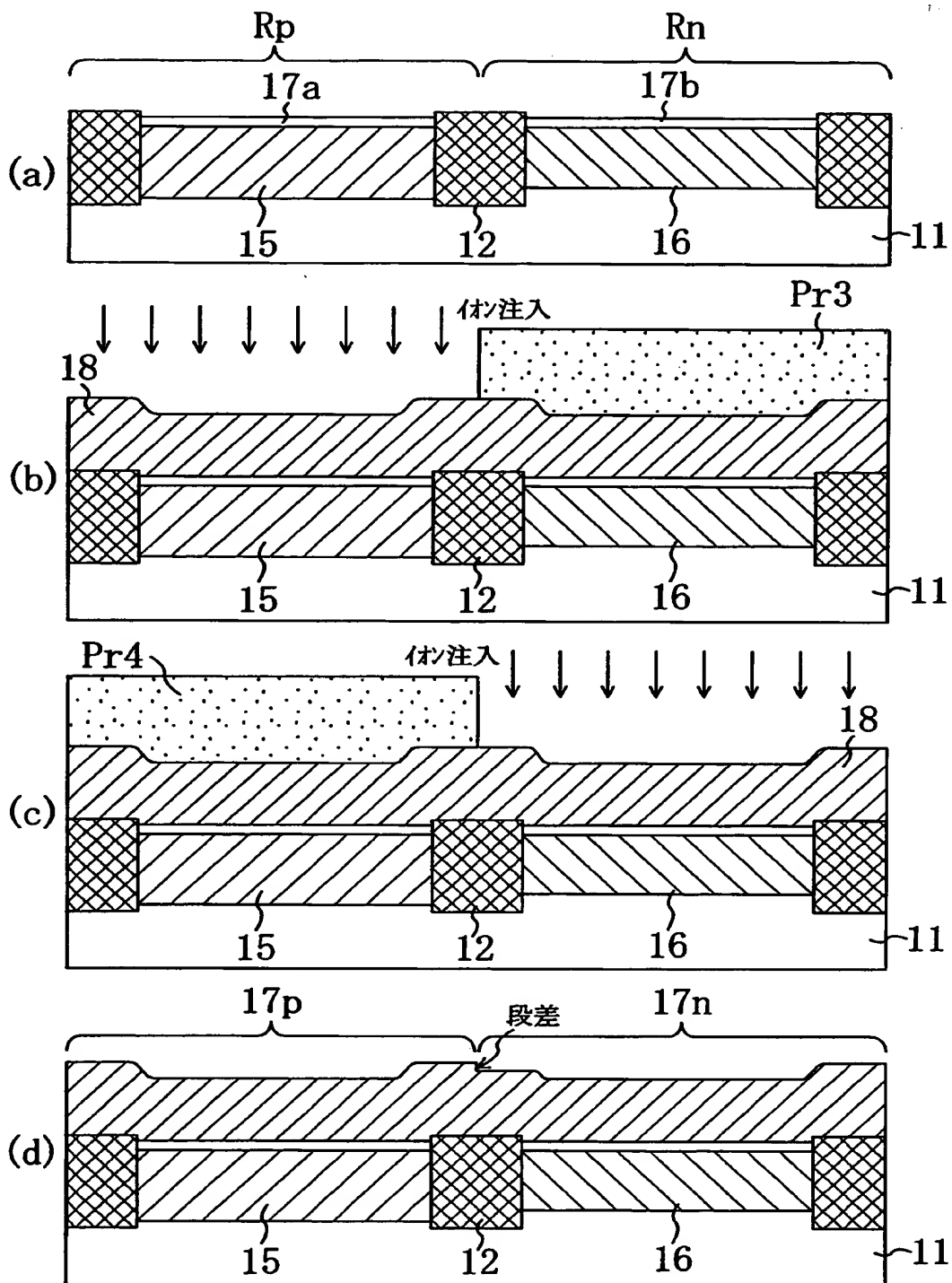
【図 3】



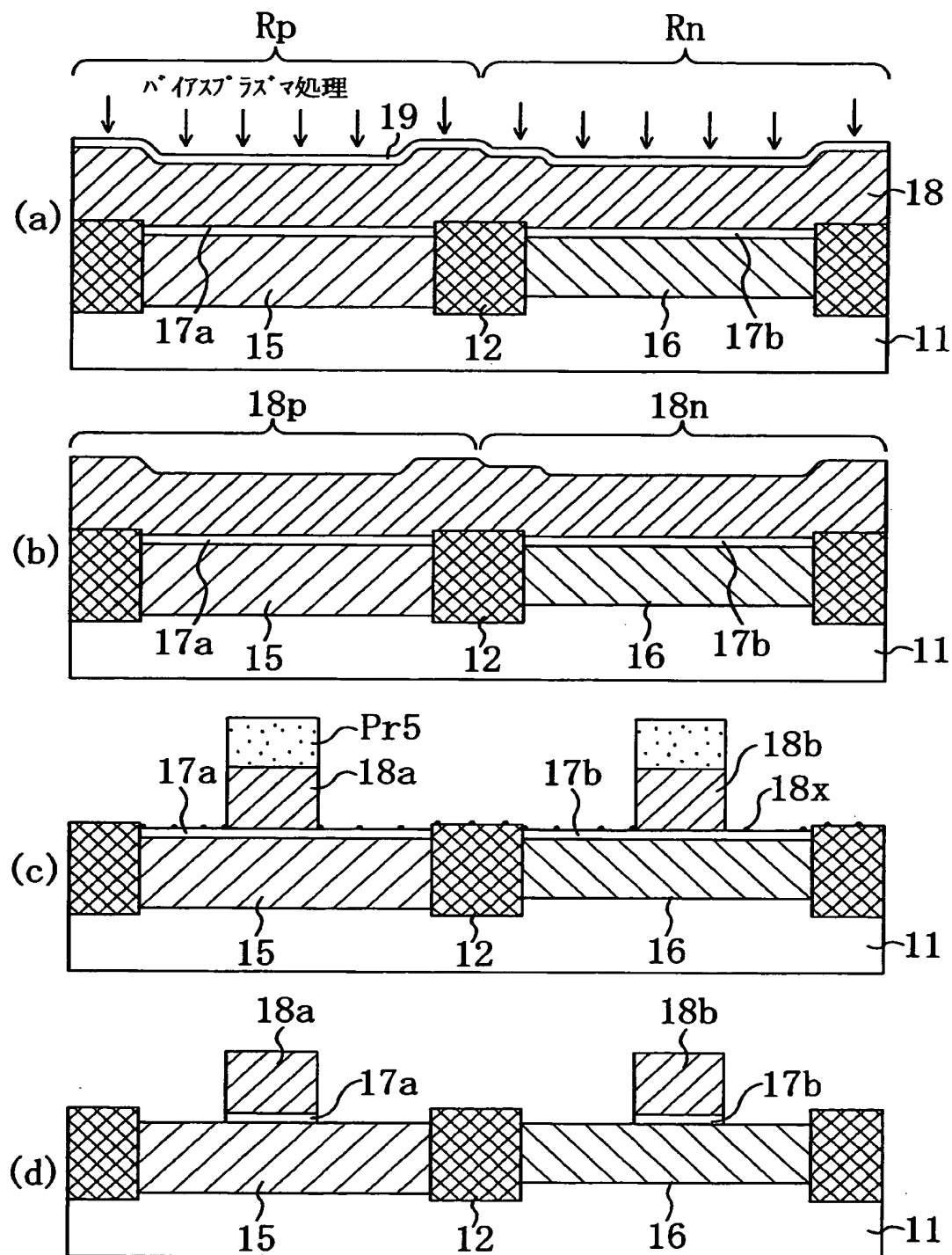
【図 4】



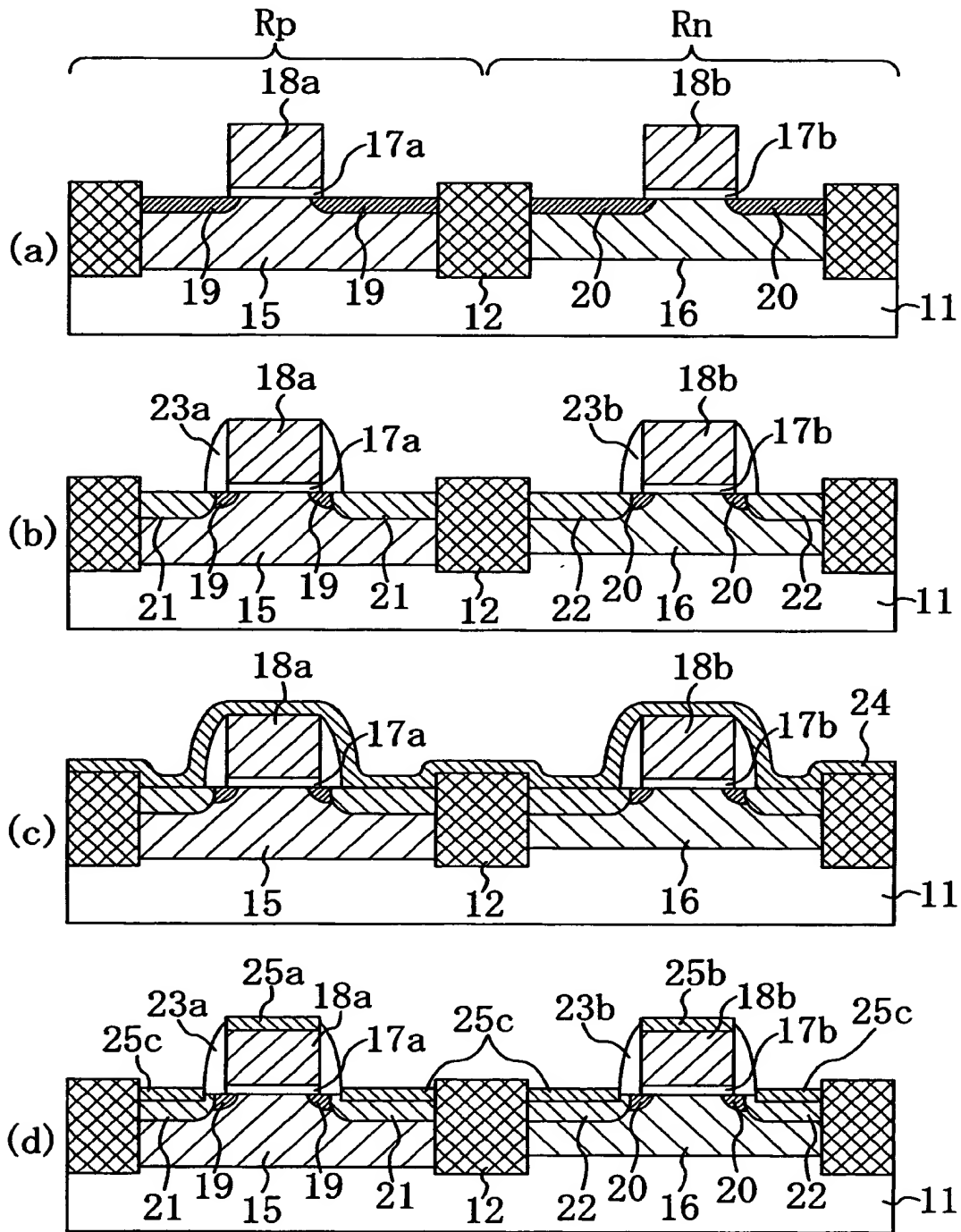
【図 5】



【図 6】

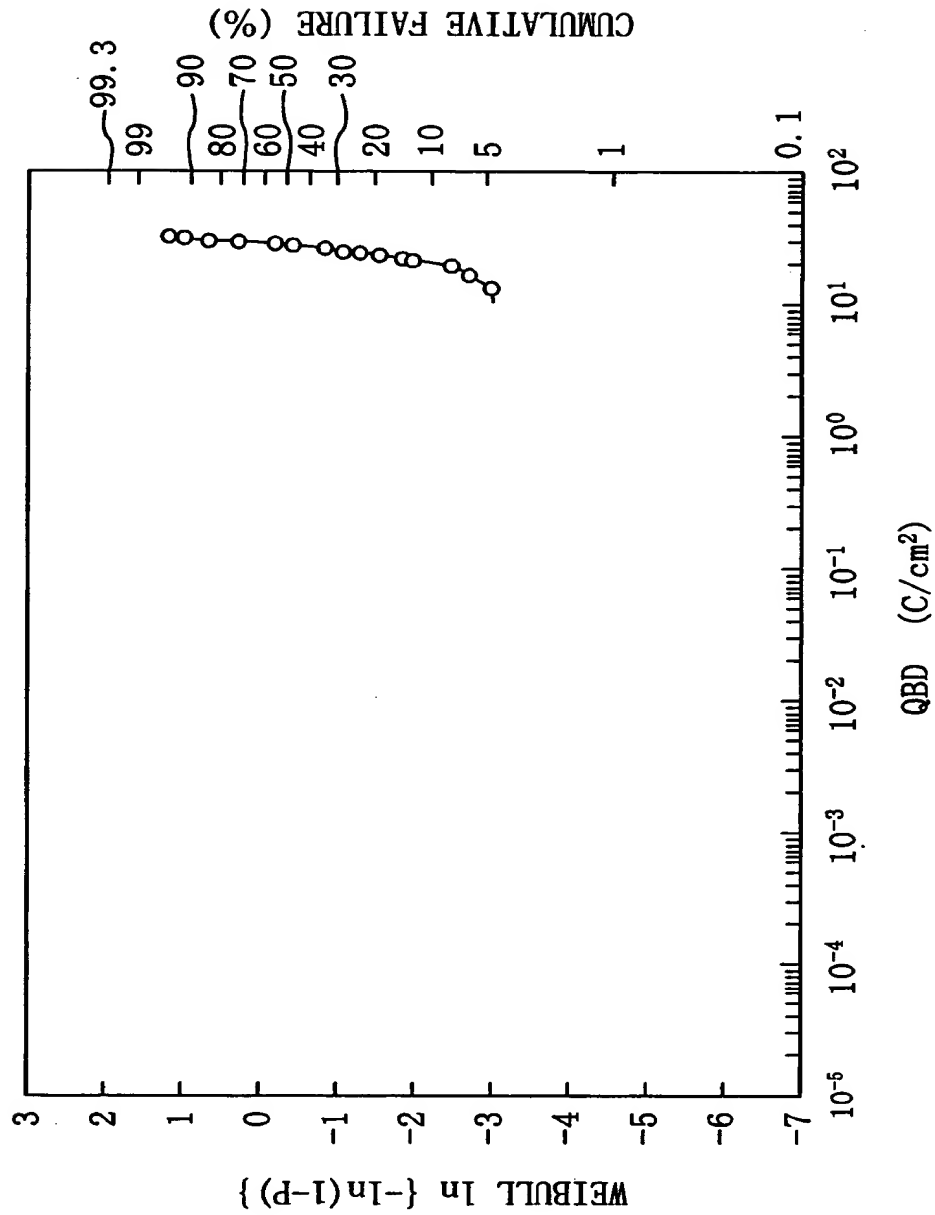


【図 7】

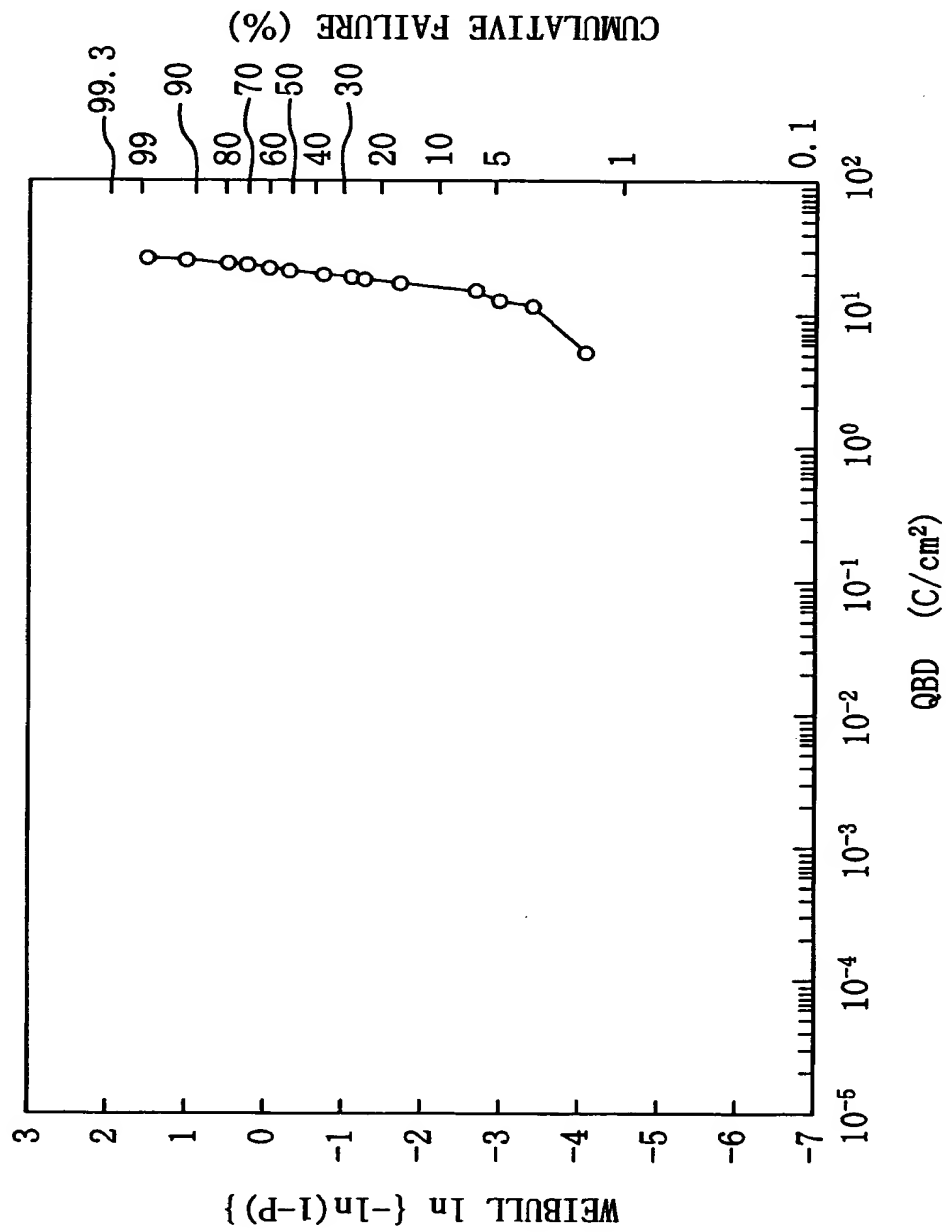




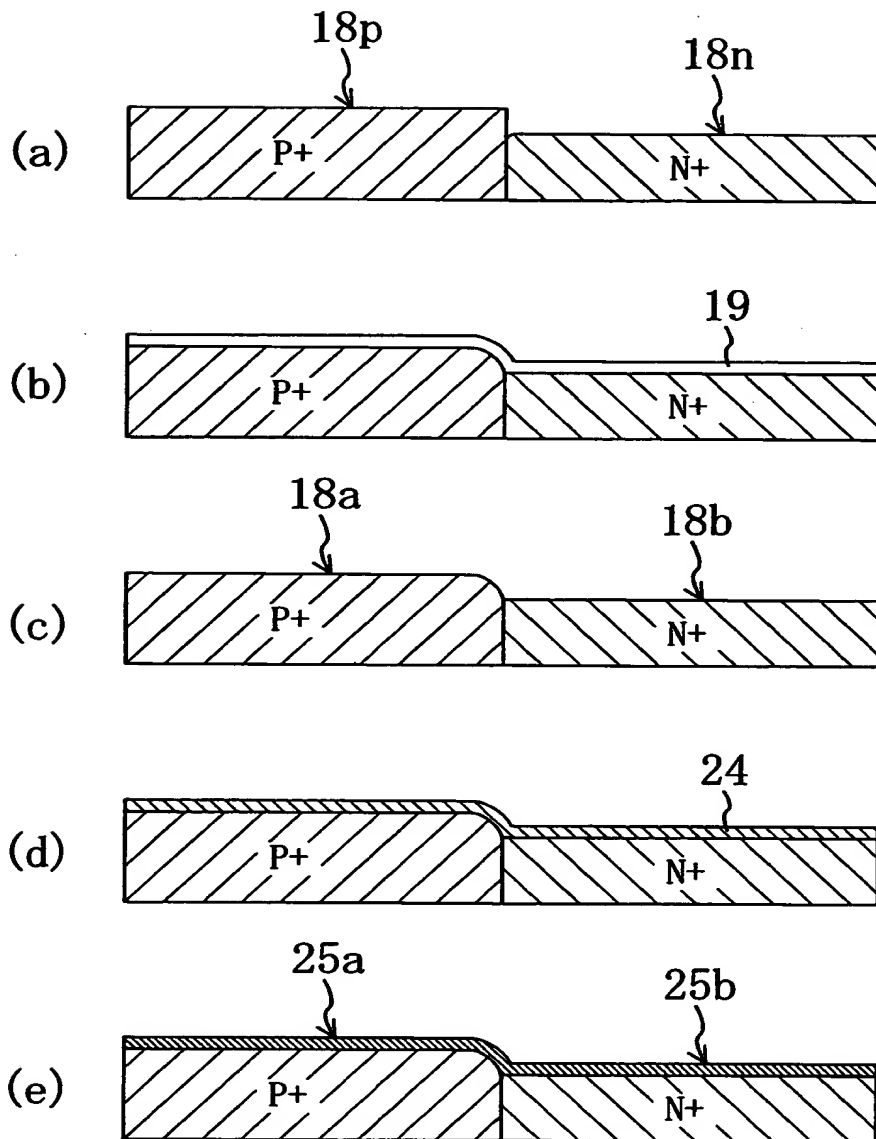
【图 8】



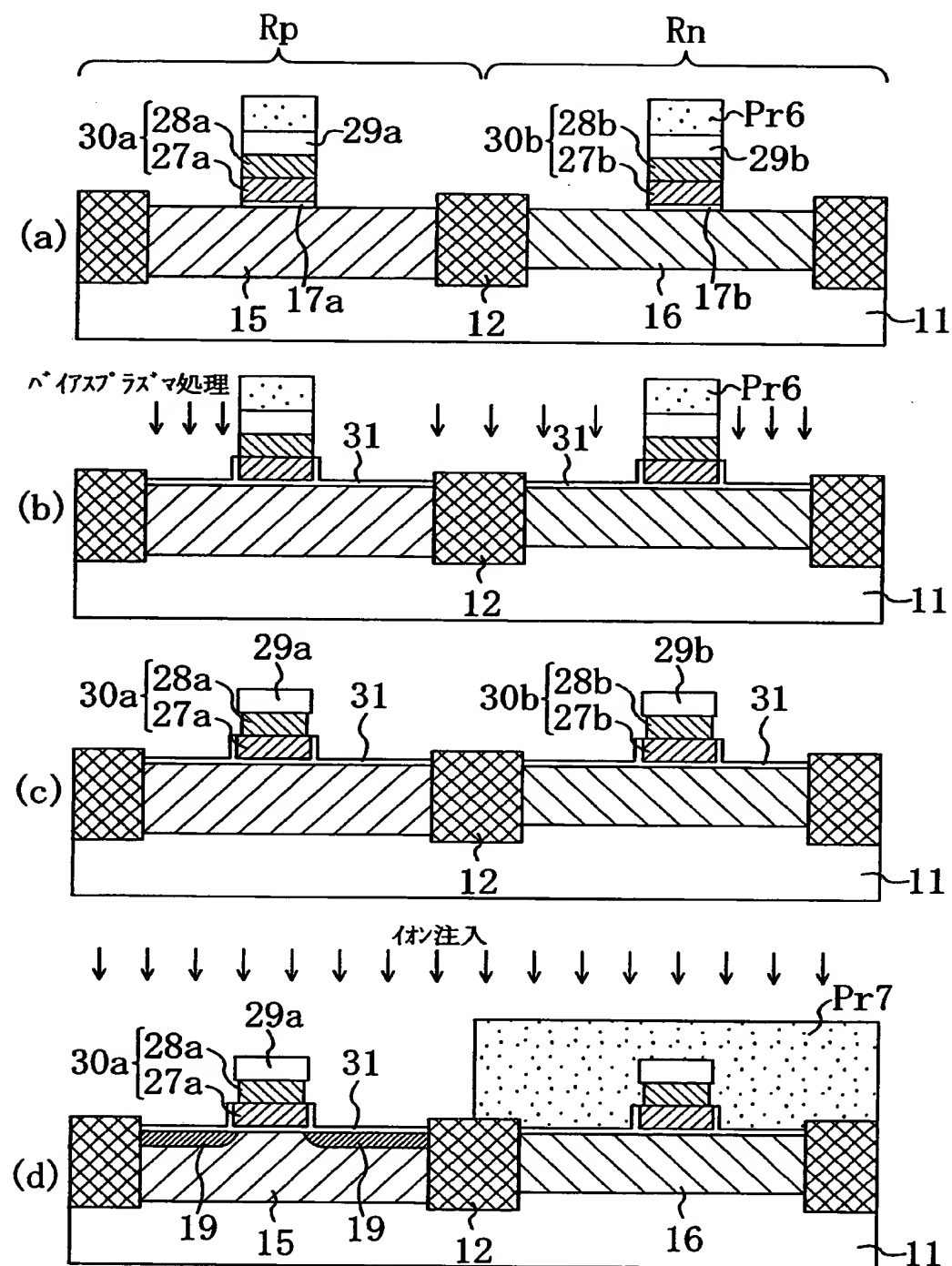
【図 9】



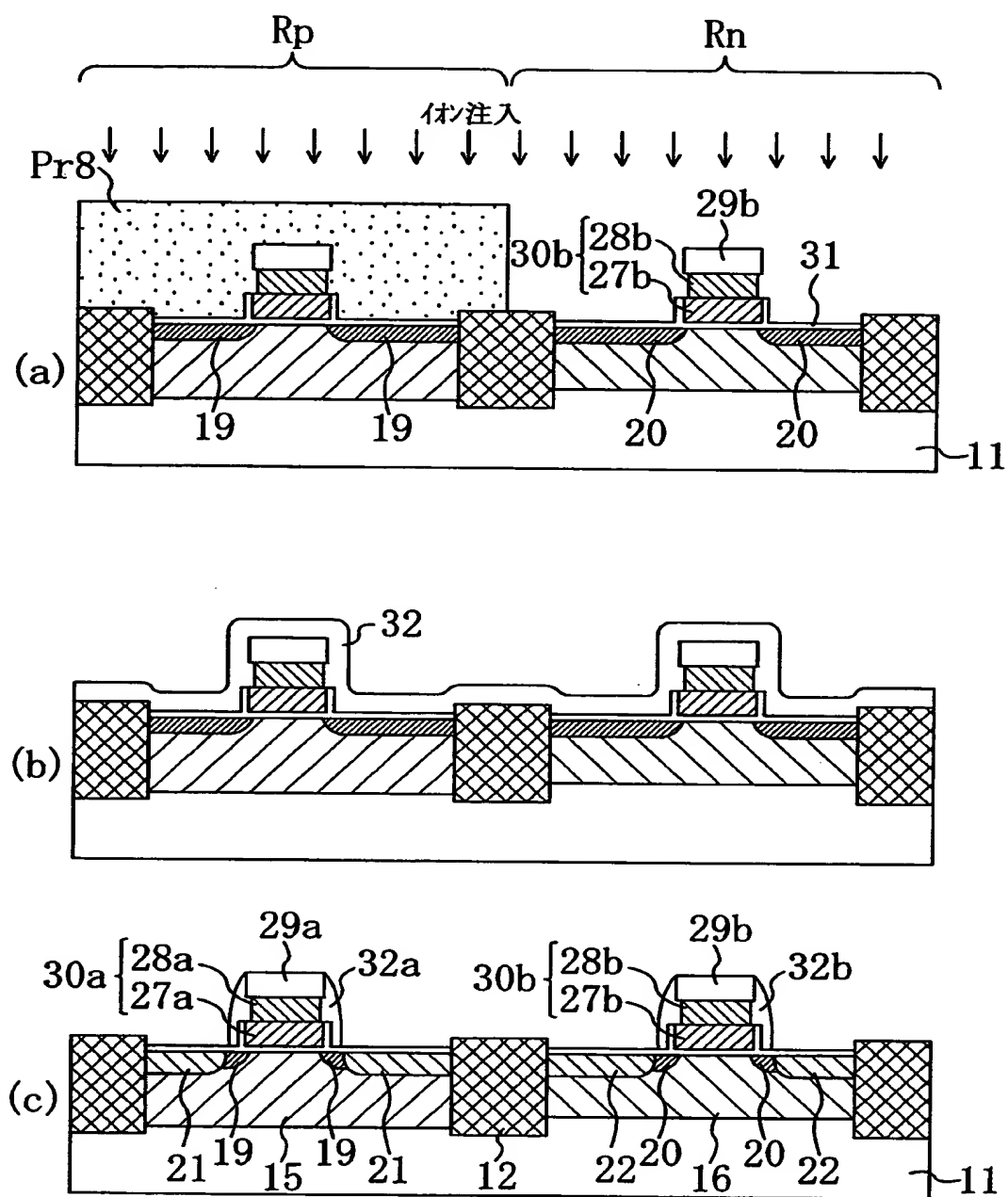
【図 1 0】



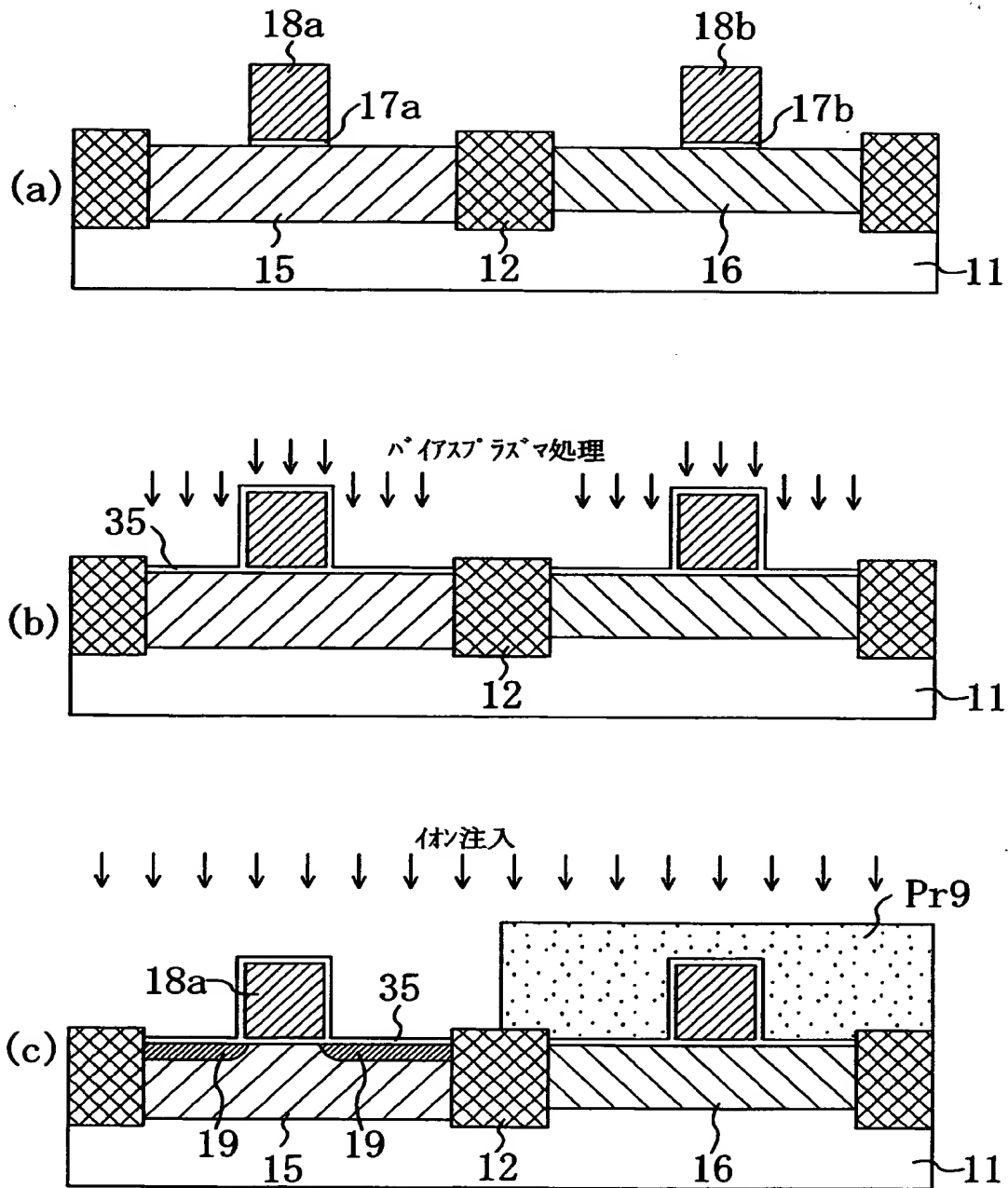
【図 11】



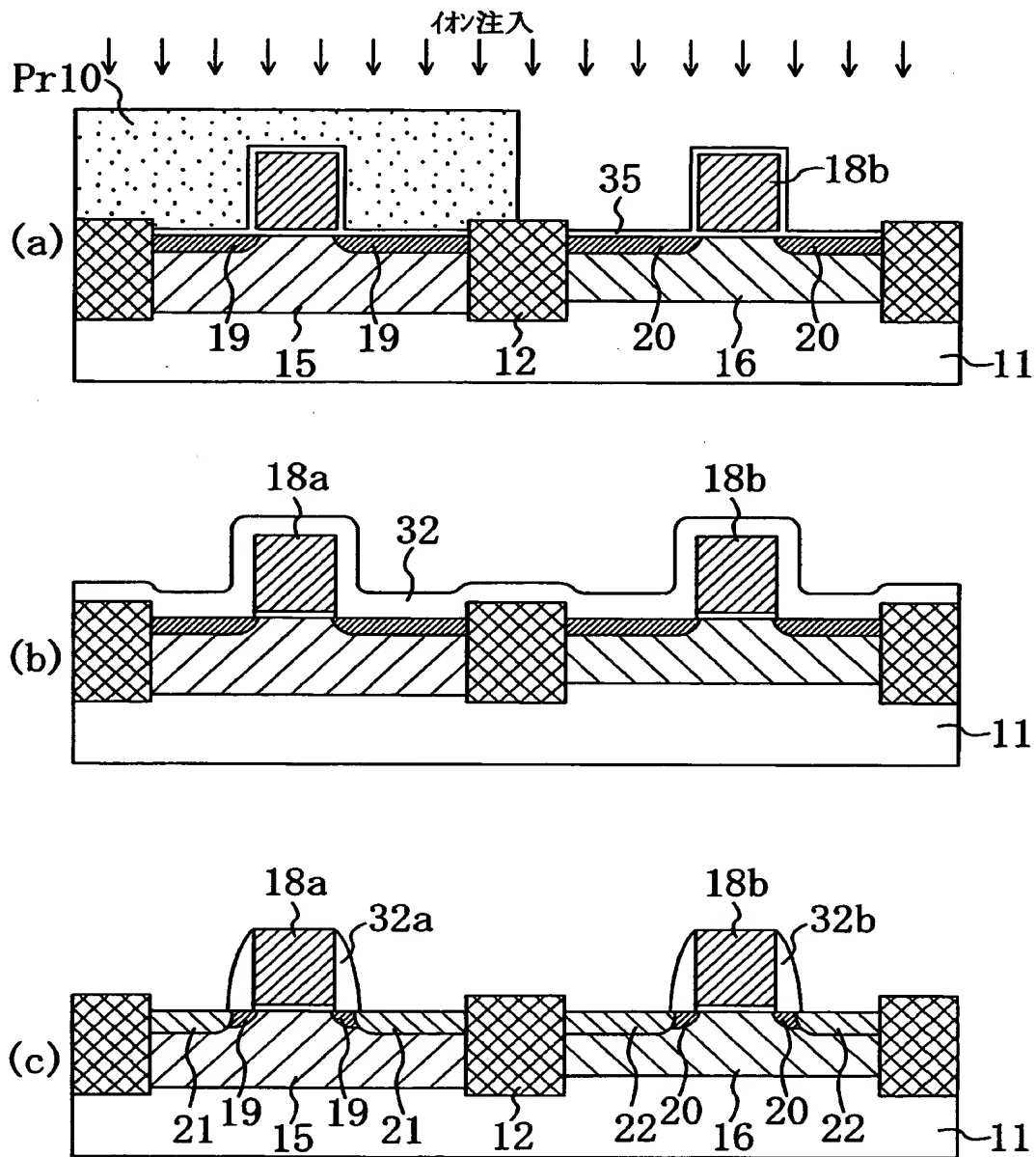
【図 1 2】



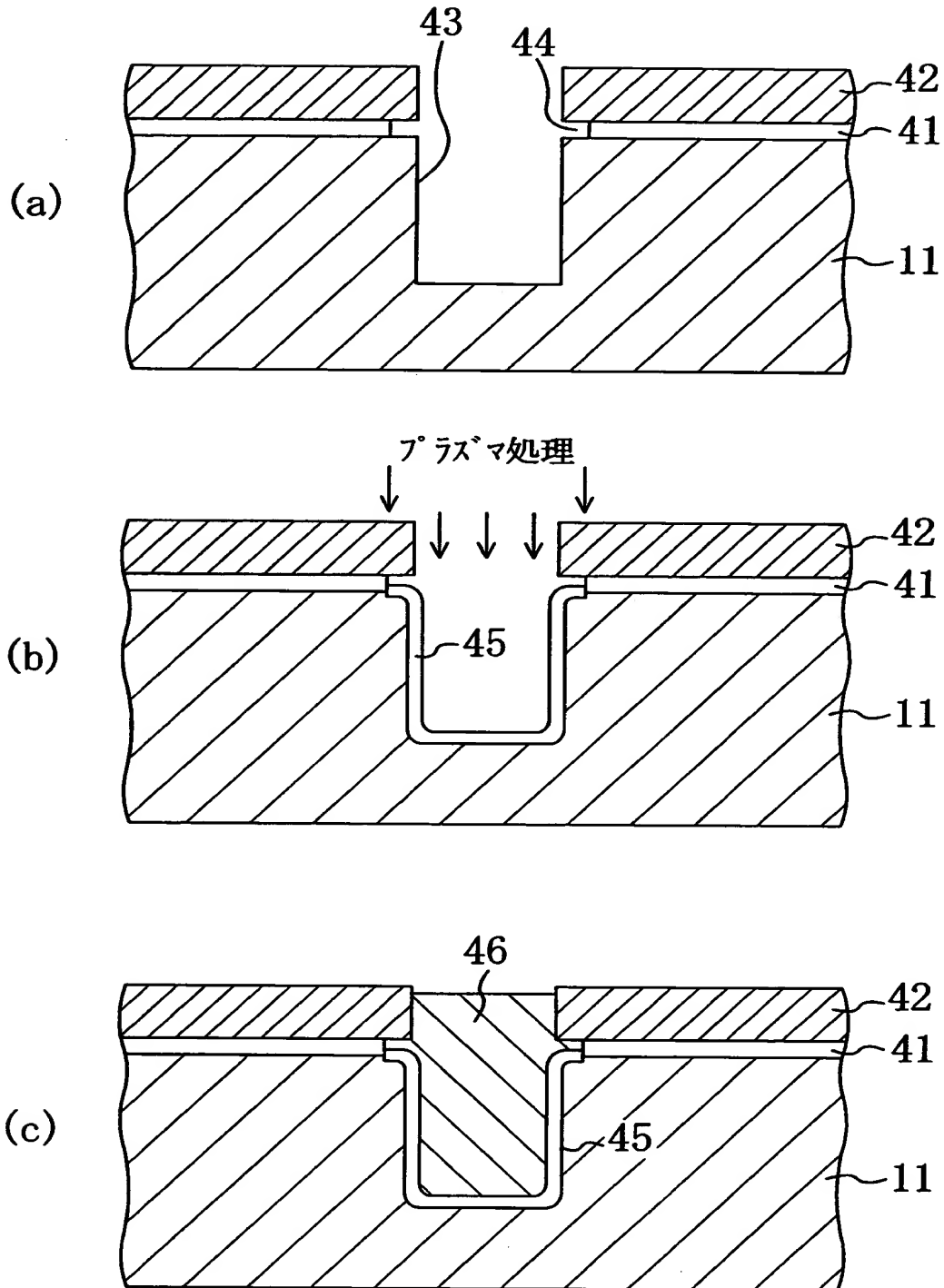
【図 13】



【図 1 4】

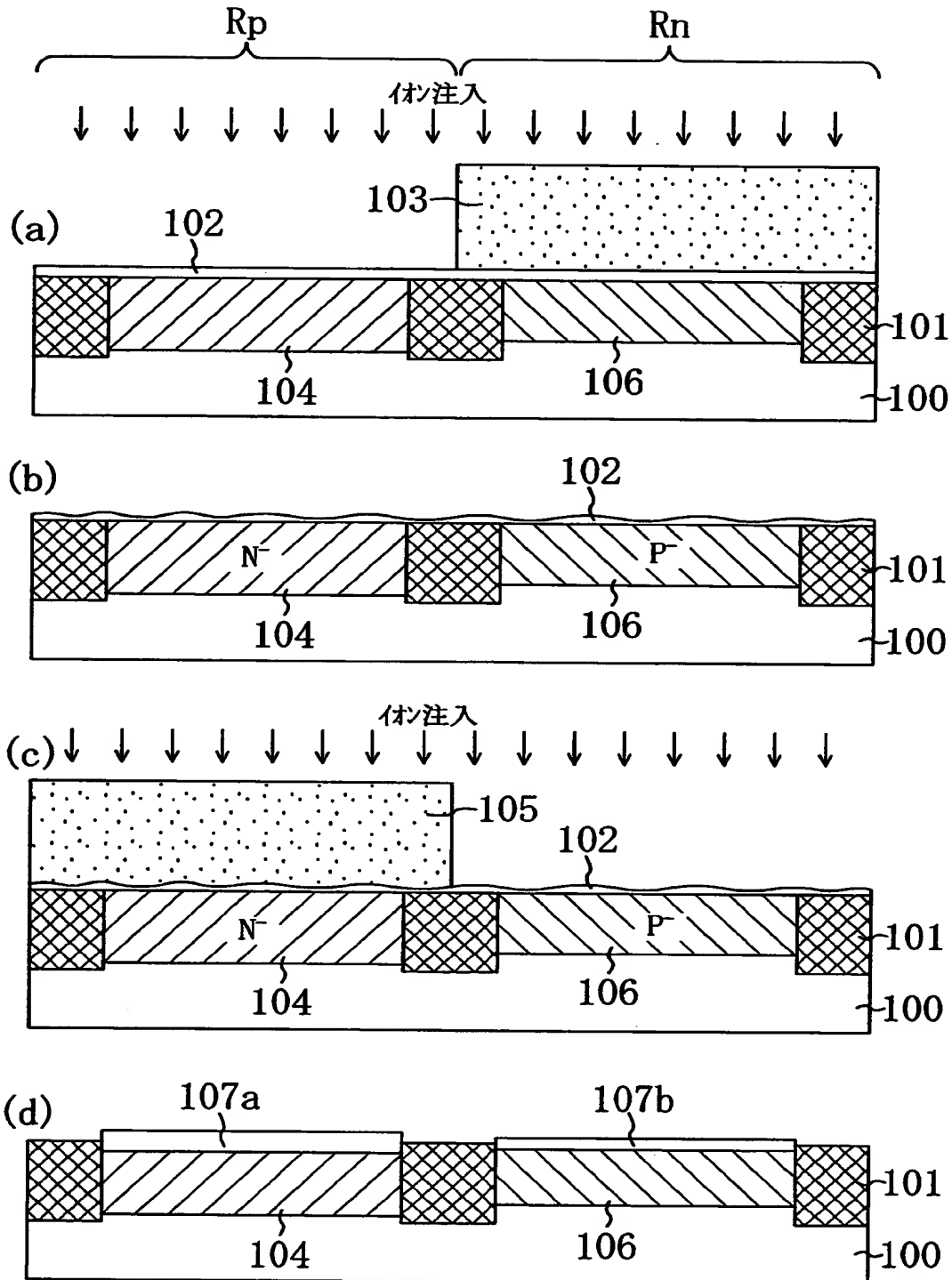


【図 1 5】

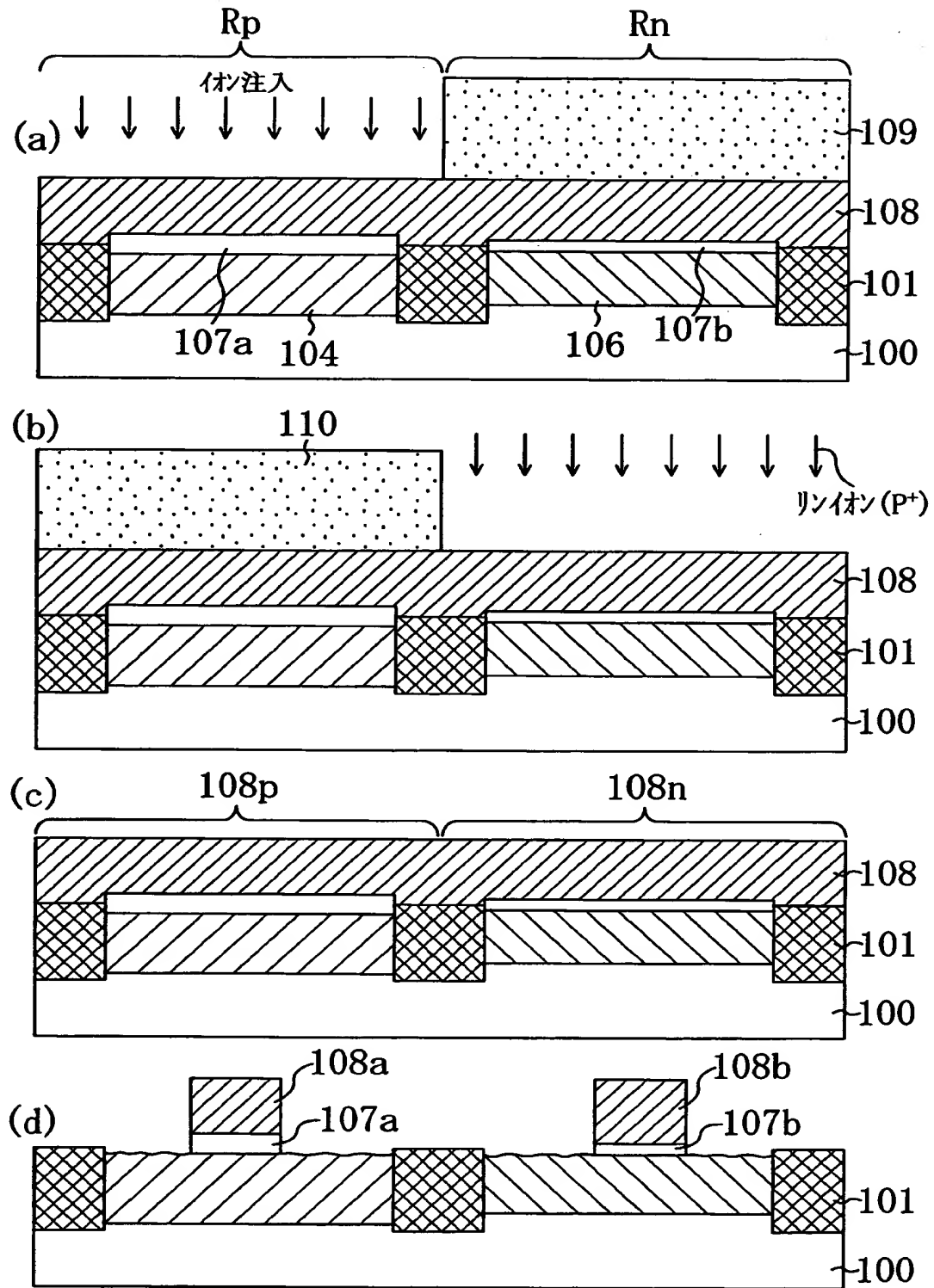




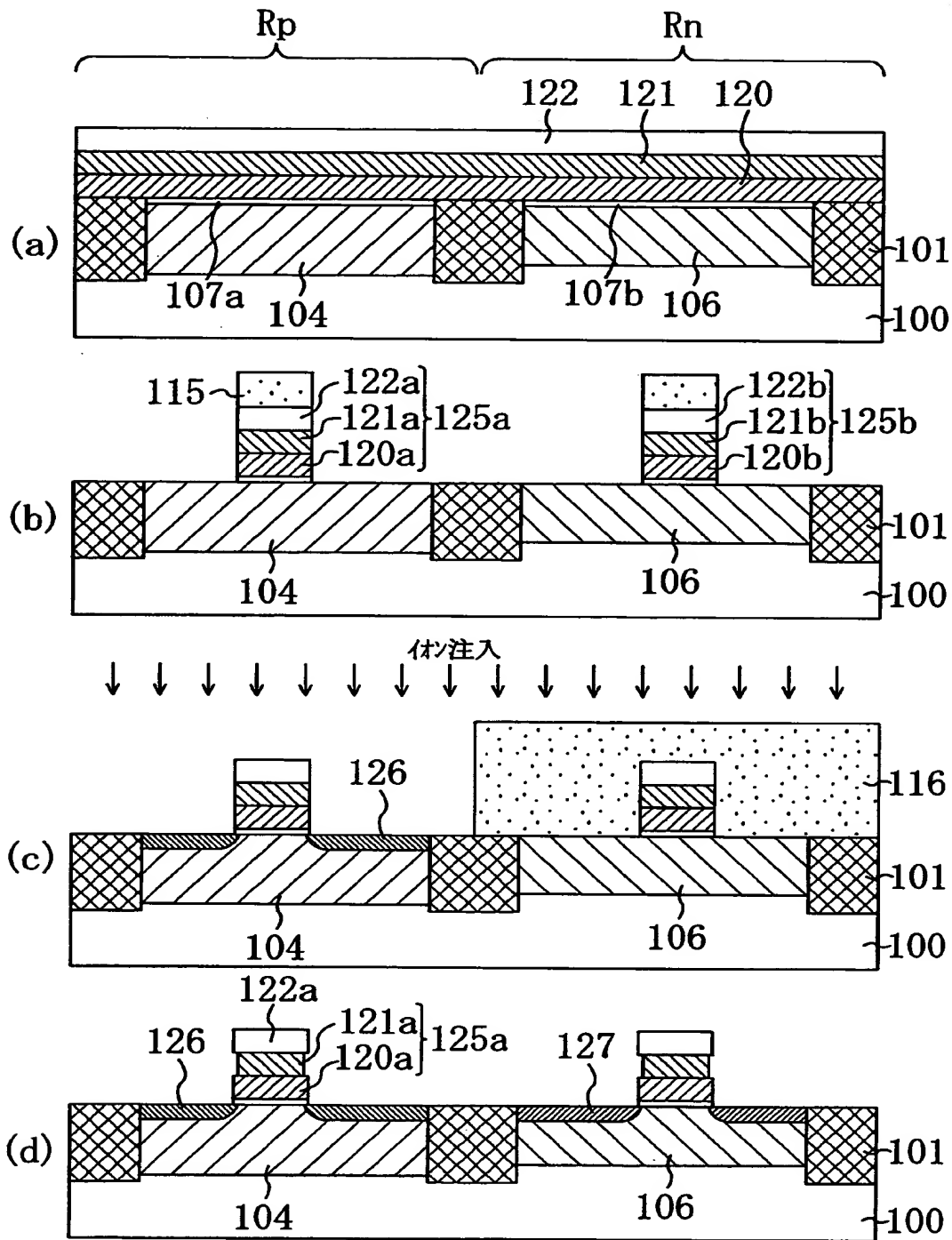
【図 16】



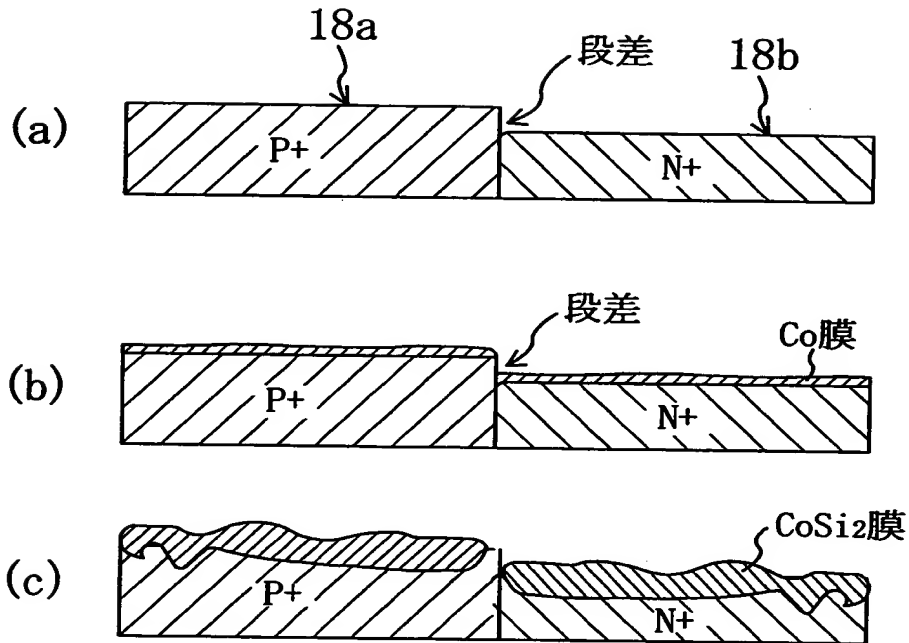
【図 1 7】



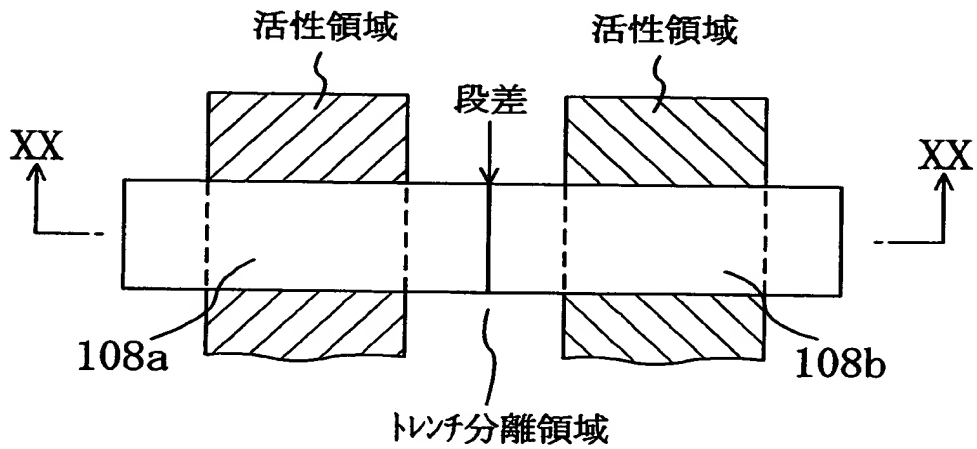
【図 1 8】



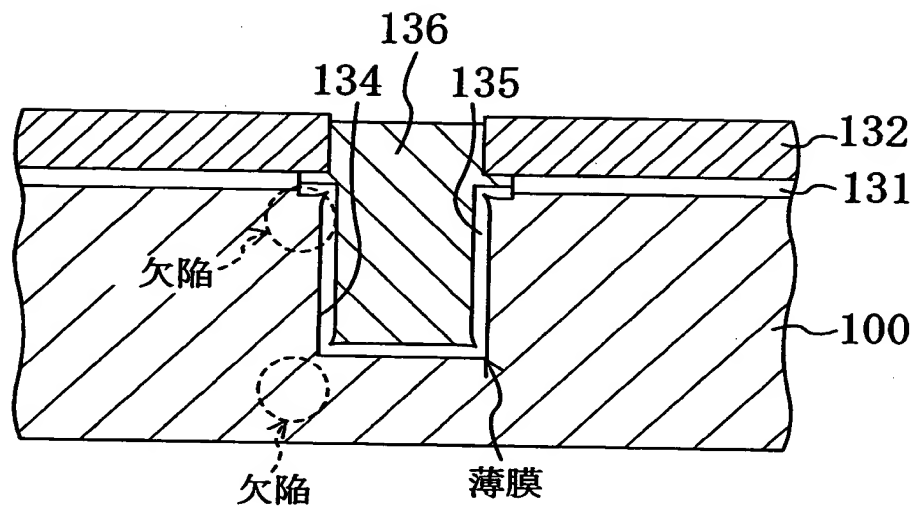
【図 19】



【図 20】



【図 21】



【書類名】 要約書

【要約】

【課題】 熱酸化法に代わる低温酸化による絶縁膜の形成方法とこれを利用した半導体装置の製造方法とを提供する。

【解決手段】 処理室であるチャンバー 1 内を酸素を含む雰囲気にして、ウエハー 4 を室温、180℃程度の低温に保持して、チャンバー 1 内にプラズマを発生し、バイアス電極 3 によってこのプラズマにウエハー 4 側へのバイアスを付加し、プラズマをウエハー 4 に照射する。ウエハー 4 上の露出している半導体層が酸化されて、酸化膜が形成される。熱酸化法とは異なり、室温でも酸化膜が形成できる。フォトリジスト膜の洗浄によってエッチングされた注入保護絶縁膜の修復、ポリシリコン膜の段差の緩和、トレンチ内の段差の緩和などに利用できる。また、金属を含むゲート電極形成後のフォトリジスト膜の除去前に、フォトリジスト膜を付けたままで酸化による汚染保護膜を形成することもできる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号

[000005843]

1. 変更年月日 1993年 9月 1日  
[変更理由] 住所変更  
住 所 大阪府高槻市幸町1番1号  
氏 名 松下電子工業株式会社